積分フィルタ内蔵　３２点汎用入/出力IC

PIX132　取扱説明書

2005･9･08　初版
2006･2･01　第２版
2012･2･17　第２.１版

NOVA electronics　　株式会社 ノヴァエレクトロニクス

はじめに

このたびは、PIX132をご検討いただき、ありがとうございます。本ICのご使用につきましては、本マニュアルを十分にお読みいただいた上、信号電圧、信号タイミング、動作パラメータ値など記述された仕様範囲において、正しくご使用になられますよう、お願い申しあげます。

一般的に半導体製品は誤動作したり、故障する場合があります。本ICをご使用いただく場合には、本ICの誤動作や故障により人身・財産の損害が生じない様に、システムの安全設計をお願いします。

本 IC は一般電子機器（産業用自動化機器、産業用ロボット、計測機器、コンピュータ、事務機器、家電機器など）に使用されることを前提に作られています。特別に高い品質・信頼性が要求され、故障や誤動作が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、医療機器、各種安全装置など）に使用されることを想定していませんし、動作の保証もされません。これらの高品質・高信頼性機器に使用することは、お客様の責任においてなされることになります。

輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの法令の定めるところにより必要な手続きを行ってください。本 IC を大量破壊兵器の開発等の目的、軍事利用の目的、その他軍事用途の目的で使用しないでください。また、本 IC を国内外の法令及び規則により製造、使用、販売を禁止されている機器に使用することはできません。

本資料の掲載内容は技術進歩などにより予告なしに変更されることがあります。最新の資料を当社のホームページ（http://www.novaelec.co.jp）からダウンロードするか、当社に直接ご請求ください。

本書で使用する用語

ポート
入出力信号8点を1つのポートと呼んでいます。PA, PB, PC, PD の4つのポートがあります。入力/出力の指定、入力信号の論理やフィルタの設定は、ポート内の上位 4 ビット、下位 4 ビットごとに設定することができます。

ラッチ
本書では、ラッチとは、信号の立ち上がり・立ち下り、あるいは CPU からの命令などをトリガとしてデータを捕捉することを言います。

ホールド
入力データを後段に伝える回路において、制御信号によってデータの変化を停止させ、停止前の値のままにしておくことを言います。デジタル回路で一般的に使われる"トランスペアレント・ラッチ(Transparent Latch)"的な動作を指します。

入力値
入力信号がフィルタを通過し、論理設定（Hi レベルを1または Low レベルを1）された後の値を入力値と呼び、その値は 0 または1の値で表現します。

出力値
各ポートに出力する出力信号の電圧レベルを指定する値です。0 が Low レベル、1が Hi レベルになります。

↑, ↓
信号の立ち上がり、立ち下りを簡易表記しています。"↑"は、Low レベルから Hi レベルへの立ち上がりを表します。"↓"は、Hi レベルから Low レベルへの立ち下りを表します。

使用上の注意

■ 独立モードでの注意
独立モードで使用する場合には、INTN/TEST 信号（14 ピン）を、必ず GND に短絡してください。オープンのままにして置くと本ICの内部テスト回路が作動し、誤動作します。

目　次

1. 概要 ······ 6

2. 操作方法 ······ 12

2.1. 通常の入力/出力動作 ······ 12

2.2. 入力同時ラッチ ······ 12

2.3. 入力変化の保持 ······ 13

2.4. 出力同時セット ······ 14

2.5. ビット指定出力 ······ 14

2.6. タイマ ······ 15

2.7. 割り込み ······ 15

2.8. リセット時の状態 ······ 15

3. 端子配置と信号 ······ 16

3.1. 端子配置 ······ 16

3.2. 信号の説明 ······ 17

3.3. 入/出力回路 ······ 19

3.4. 回路設計上の注意 ······ 19

4. レジスタ ······ 20

4.1. WR0 レジスタ ------------ 命令実行・ビット指定0出力 ······ 20

4.2. WR1 レジスタ ------------ ビット指定1出力 ······ 21

4.3. WR2,3 レジスタ --------- 書き込みデータ ······ 21

4.4. WR4,5,6,7 レジスタ ---- ポート出力値の設定 ······ 22

4.5. RR1 レジスタ ------------ 割込み要因の表示 ······ 22

4.6. RR2,3 レジスタ ---------- 読み出しデータの表示 ······ 23

4.7. RR4,5,6,7 レジスタ ---- ポート リアル入力/ラッチ入力/出力/入力変化の表示 ······ 23

5. 命令 …… 25
5.1. データ書き込み命令 …… 26
5.1.1. 入/出力の指定と論理設定 …… 26
5.1.2. 入力フィルタ指定 …… 26
5.1.3. フィルタ時定数設定 …… 27
5.1.4. タイマ値設定 …… 28
5.1.5. PAB入力変化有効設定 …… 29
5.1.6. PCD入力変化有効設定 …… 29
5.1.7. PAB入力変化方向設定 …… 29
5.1.8. PCD入力変化方向設定 …… 30
5.1.9. 動作モード・割込み設定 …… 30
5.2. データ読み出し命令 …… 33
5.2.1. 設定データの読み出し …… 33
5. 2. 2. リードレジスタ表示状態の読み出し …… 33
5.2.3. 動作タイマ値読み出し …… 34
5.3. その他の命令 …… 35
5.3.1. タイマ単一起動 …… 35
5.3.2. タイマ連続起動 …… 35
5.3.3. タイマ停止 …… 35
5.3.4. タイマサイクル停止 …… 35
5.3.5. 入力変化情報クリア …… 35
5.3.6. リードレジスタ表示選択１ ---- リアル入力＋出力 …… 36
5.3.7. リードレジスタ表示選択２ ---- リアル入力 …… 36
5.3.8. リードレジスタ表示選択３ ---- ラッチ入力 …… 36
5.3.9. リードレジスタ表示選択４ ---- 出力 …… 36
5.3.10. リードレジスタ表示選択５ ---- 入力変化 …… 37
5.3.11. 入力同時ラッチ …… 37
5.3.12. 出力同時セット …… 37
6. 独立モード …… 38
7. 応用例 …… 40
7.1. CPU接続例 …… 40
7.2. プログラミング例 …… 40
7.3. 独立モード接続例 …… 43
8. 電気的特性 …… 44
8.1. DC特性 …… 44
8. 2. AC特性 …… 45
8.2.1. 測定条件 …… 45
8.2.2. クロック …… 45
8.2.3. リセット信号幅 …… 45
8.2.4. CPU リードライトサイクル …… 46
8.2.5. ポート入力遅延 …… 47

8.2.6. ポート出力遅延 47
8.2.7. ビット指定出力遅延 47
8.2.8. ストローブ信号幅 47
8.2.9. 入力同時ラッチタイミング 48
8.2.10. 出力同時セット遅延 48
8.2.11. 割込み遅延 49
8.2.12. 独立モード時の遅延 49

9. 外形寸法 50

10. PIX132 の保管と推奨実装条件 51

付録 A クロック周波数換算式 52

付録 B 内蔵フィルタのノイズ除去 53

1. 概要

PIX132 は、IC 内部に積分型フィルタを内蔵した、32 ビット汎用入/出力インターフェイスICです。各端子の入/出力の設定、入力論理、フィルタ時定数の設定などは信号 4 点ごとに指定することができます。出力についても、ビット指定出力や全出力同時セットなどさまざまな機能を備えています。電源は単一電圧でよく、電圧範囲が 3.0～5.5V なので、5V 系システムでも 3.3V 系システムでも使用することができます。

PIX132 は、図 1.1 に示すように、CPU のバスに接続して使用する従属モードと、入力 16 点を内蔵フィルタを通して出力する独立モードの 2 通りの形態で使用することができます。IMODEN 入力信号を Hi にすると従属モード、Low レベルにすると独立モードとして動作します。

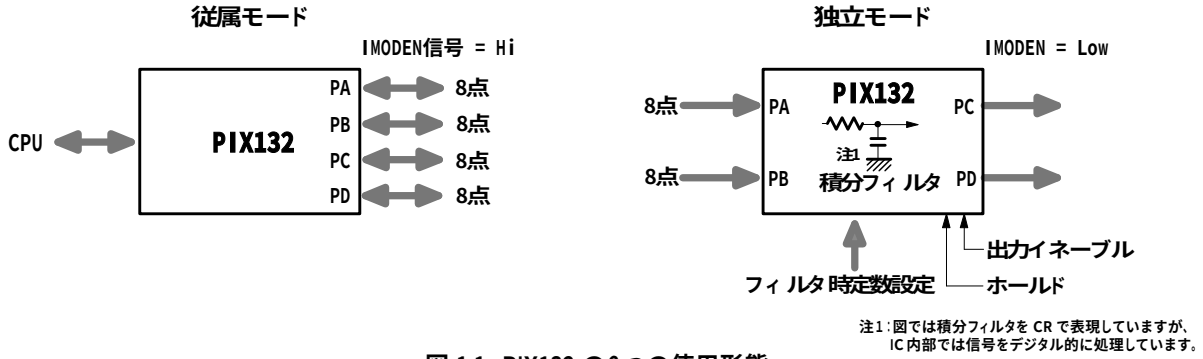


図 1.1 PIX132 の2つの使用形態

図 1.2 に本ICを従属モードで使用する場合のIC内部の機能構成を示します。

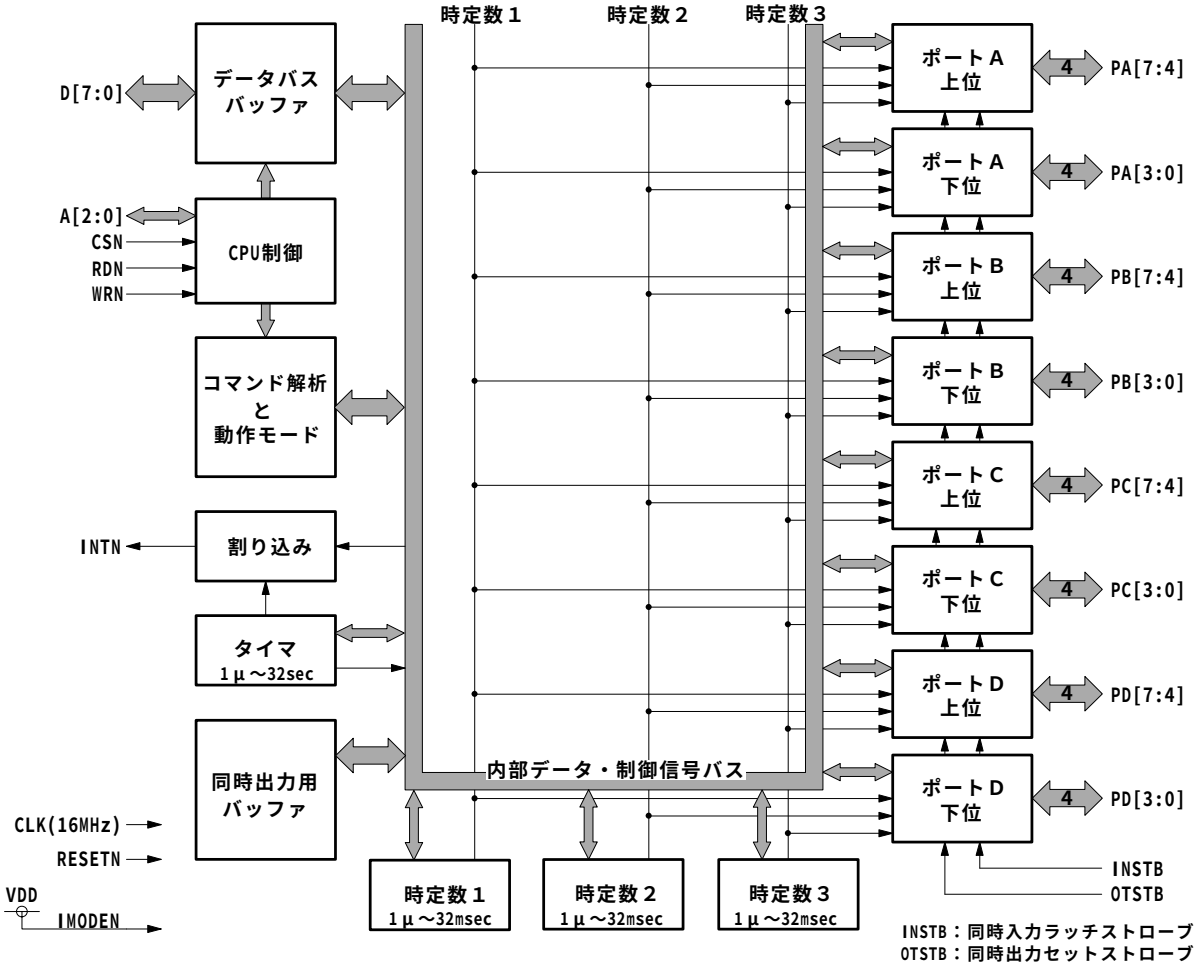


図 1.2 従属モードの内部機能構成

PIX132 は、32 点の汎用入/出力信号を持っています。信号 8 点ごとにポートA、B、C、Dとし、各ポートの上位 4 点、下位 4 点ごとに、入力/出力の設定、フィルタ時定数の選択、入力論理の設定を行ないます。入力信号には積分フィルタが内蔵されており、各フィルタは 3 種類の時定数から1つを選択することができます。
図 1.3 は、32点の汎用入/出力信号の1つである PA0 信号を例にとって、入/出力信号の読み出し/書込みの流れを表しています。

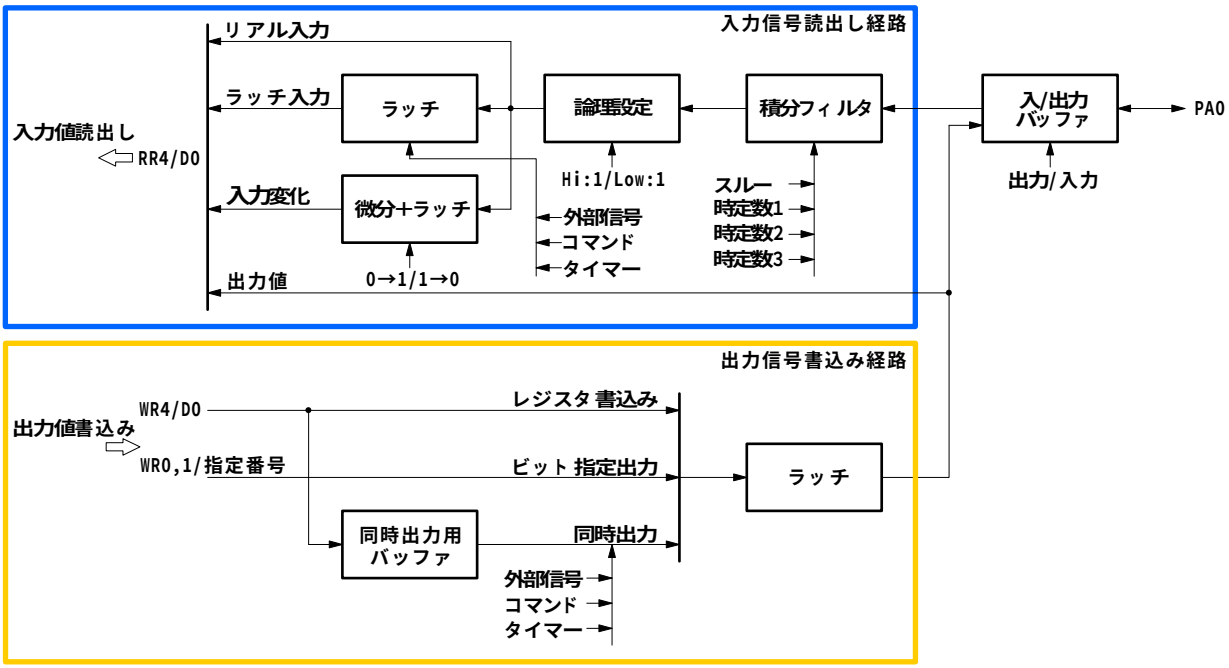


図 1.3 入/出力信号の読出し/書込み経路

入力信号読出しの流れ

図 1.3 に示すように、入力信号は先ず積分フィルタを通過します。信号をスルー（フィルタなし）で通すこともできます。フィルタを通す場合には、時定数 1,2,3 の 3 種類の中から1つを指定します。3 種類の時定数は、それぞれ、遅延時間 1μsec から 32msec までの範囲で設定することができます。3 種類のいずれの時定数を使用するかの指定も、信号 4 点ごとに行ないます。フィルタを通過した信号は、論理が設定されます。Hi レベルを1にするか、Low レベルを 1 にするかを指定することができます。CPU は、論理化された入力値について、次の 3 つの情報を得ることができます。

① リアル入力　　リアルタイムの入力信号の情報。

② ラッチ入力　　外部からのラッチストローブ信号、CPU からの命令発行、またはタイマのタイムアウトによって、すべての入力が同時にラッチされた時の情報。

③ 入力変化　　指定の入力について、入力値0から1へ、または1から0へ変化したことを示す情報。

CPU は、これらの入力情報を RR4～7 レジスタから読み出します。RR4～7 レジスタはそれぞれ 8 ビット構成で、RR4：PA[7:0]、RR5：PB[7:0]、RR6：PC[7:0]、RR7：PD[7:0]が対応しています。RR4～7 レジスタは、リアル入力だけではなく、ラッチ入力、入力変化も表示します。これらの入力情報は、CPU からの E5～E9h 命令によって切り替えます。

出力信号の設定

図 1.3 に示すように、各入/出力ポートを出力に設定した場合には、出力信号を3つの方法で設定することができます。

① レジスタ書込み　　WR4,5,6,7 レジスタに出力データを書き込むと、PA,PB,PC,PD ポート単位で出力がセットされる。

② ビット指定出力　　出力信号に対応する番号を指定して、信号 1 点ごとに出力をセットする。

③ 同時出力　　WR4,5,6,7 レジスタに出力データをあらかじめ書き込み、外部からのストローブ信号、CPU からの命令発行、またはタイマのタイムアウトにより、すべての出力を同時にセットする。

積分フィルタ

PA～PD ポートの各信号の入力段には、積分フィルタが内蔵されています。このフィルタは入力信号レベルを決められた周期でサンプリングし、値の蓄積量を後段に出力する方式を取っています。インパルス性のノイズ除去機能としては、RC（抵抗･コンデンサ）素子で構成する積分型フィルタとほぼ同等の性能を発揮します（付録B参照）。RC素子を実装するための回路基板上のスペースと、RC 素子のコストを削減することができます。また、RC素子では一度実装してしまうと時定数が固定されてしまいますが、本IC内蔵のフィルタは、遅延時間を 1μsec から 32msec（CLK=16MHz 時）までノイズ環境に応じていつでも変更することができます。

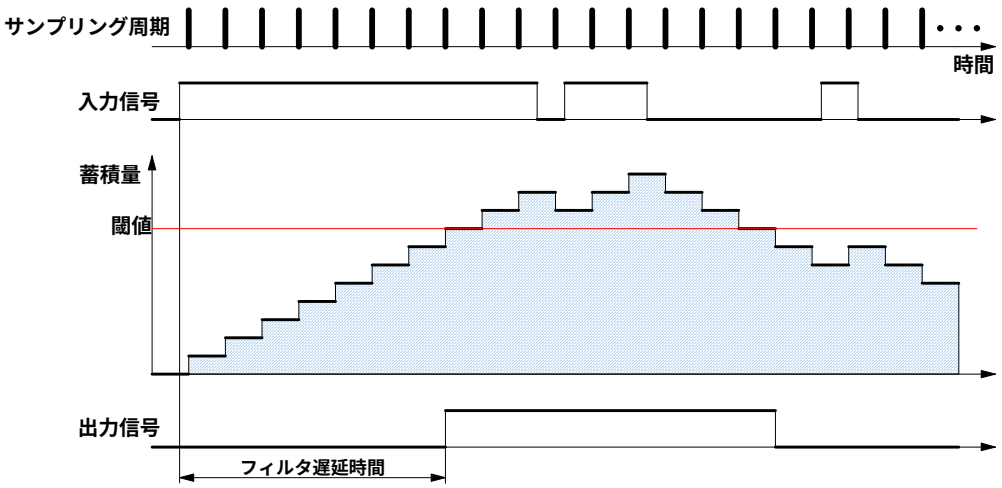


図 1.4　デジタル積分フィルタの動作

入力同時ラッチ

PA～PD ポートのすべての入力信号を同時にラッチする機能です。同時にラッチするには、次の3つの方法があります。いずれの方法を使用するかは、動作モード設定命令で指定します。

①	ストローブ信号	外部信号(INSTB)の立ち上がり、または立ち下りでラッチします。立ち上がり/立ち下りの選択は動作モード設定命令で指定します。
②	命令	CPU から EAh 命令を WR0 レジスタに書き込むとラッチします。
③	タイマ	タイマを起動させて、タイムアウトでラッチします。

ラッチされた入力情報は、RR4～7 レジスタから読み出します。ただし、RR4～7 レジスタが他の情報を表示している場合には、E7h 命令を発行してから、ラッチ入力情報を読み出します。

入力変化保持

入力信号が変化したことを捉える機能です。指定の入力について、入力値の0から1への変化、または1から0への変化を捉えることができます。信号の単発的な状態変化の監視や、信号に混入する予想していないインパルス性ノイズの解明などに有効な機能です。信号の指定、変化の方向（0→1/1→0）は、ビット単位で設定することができます。

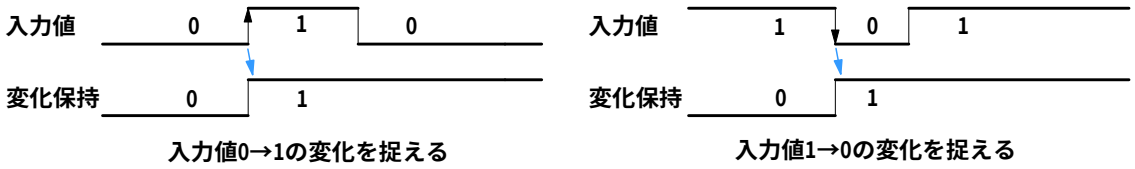


図 1.5　入力変化保持動作

入力変化情報は、RR4～7 レジスタから読み出します。RR4～7 レジスタが他の情報を表示している場合には、E9h 命令を発行してから、入力変化情報を読み出します。入力変化情報は、一度読み出すとクリアされます。

本機能は、クロック(CLK)同期で動作します。入力値の変化が CLK 周期より短い期間に行なわれた場合には、捕捉できない場合があります。

出力同時セット

通常 WR4,5,6,7 レジスタに出力設定されている信号の値（0:Low、1:Hi）を書き込むと、出力信号 8 点ごとのセットになります。従って、例えば図 1.6 に示すように、PA ポートから PD ポートまでをすべてセットしようとすると、通常の方法では、CPU が PA から PD の出力データを書き込む時間だけ、出力セットにポートごとの時間遅れが生じることになります。

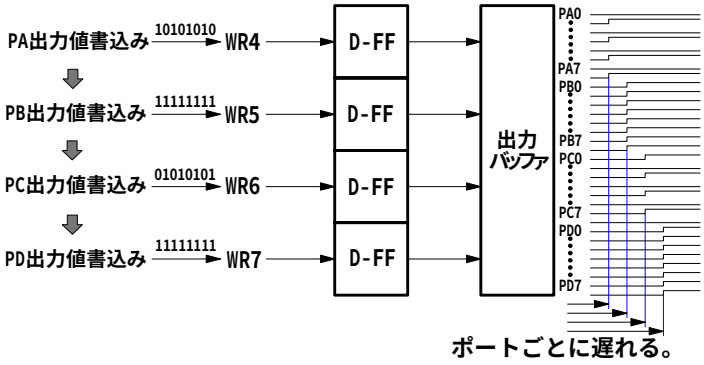


図 1.6 通常の出力セット

本ICは、動作モードを設定することにより、PA～PD ポートのすべての出力信号を同時に出力セットさせることができます。図 1.7 に示すように、同時出力のモードにすると、WR4 レジスタに PA ポートの出力データを書き込んでも一時ラッチされ、PA ポートにはまだ出力されません。同様に、WR5,6,7 レジスタへの書き込みも、それぞれの出力ポートには反映されません。これらのデータは一時ラッチされます。

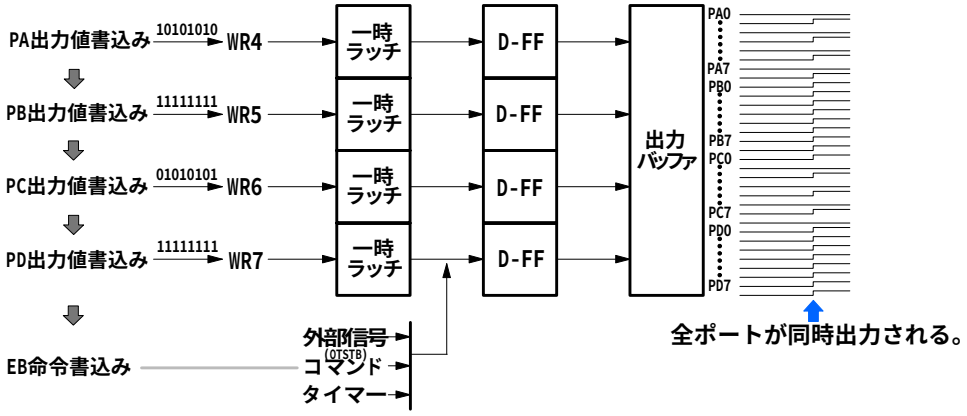


図 1.7 同時出力セット

WR4,5,6,7 レジスタへ出力データを書き込んだ後に、出力データを同時に出力ポートから出力するには、次の 3 つの方法があります。

① ストローブ信号　　外部信号(OTSTB)の立ち上がり、または立ち下りで出力されます。立ち上がり/立ち下りの選択は動作モード設定命令で指定します。

② 命令　　CPU から EBh 命令を WR0 レジスタに書き込むと出力されます。

③ タイマ　　タイマを起動させて、タイムアウトで出力されます。

注意： お客様の回路システムにおいて、本ICの同時出力の機能を使い、本ICの後段で大きな電流をON/OFF 制御させる場合には、大電流の同時スイッチングによって発生する GND･電源の電圧変動や信号間のクロストークなどを最小に抑えるための十分な対策が必要となります。

ビット指定出力

この機能は、出力信号を1点ごとにセットする機能です。通常の出力セットのやり方は、WR4,5,6,7レジスタに書き込みますので信号が8点単位のセットになります。従って、ある特定の1つの出力信号をHiレベルまたはLowレベルにセットする場合には、現在セットされている 8 ビットの出力データに特定ビットを1OR または0AND してからレジスタに書き込まなければなりません。本ICは CPU のこのような煩わしい演算操作を必要としません。図 1.8 に示すように、特定の 1 つの信号を Low レベルにするには、WR0 レジスタにその信号に割り当てられた番号を書き込むだけで、その信号は Low にセットされます。また、WR1 レジスタに割り当てられた番号を書き込むと、対応する信号が Hi にセットされます。

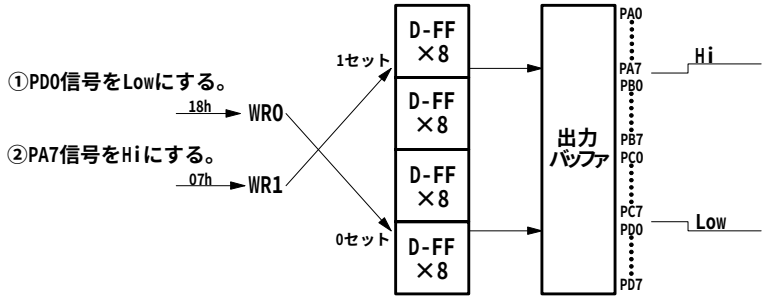


図 1.8 ビット指定出力の例

割込み

入力変化、外部ストローブ、タイマによって割込み信号を発生させることができます。

入力変化	すべての入力信号について、指定した入力信号が変化（0→1/1→0 選択可）したときに割り込みを発生させることができます。
外部ストローブ	入力同時ラッチ用外部ストローブ信号（INSTB）や出力同時セット用外部ストローブ信号（OTSTB）の変化で割り込みを発生させることができます。これらの信号をポーリングで待つ必要がありませんので、CPU は効率的に制御を行なうことができます。
タイマ	タイマは 1μsec から 32sec の範囲で設定できます。タイムアウトで割り込みを発生します。

設定値の読み出し

CPU が本ICに設定した入/出力設定、論理設定、フィルタ設定、出力データなどすべての設定データを読み出すことができます。現在設定されている出力データがいつでも読み出せますので、ビット指定出力を行なう時でも CPU 側で現在出力データを別に保持しておく必要がありません。

独立モード動作

独立モードは、CPU のバスに本ICを接続する形式ではなく、主に本ICの積分フィルタ機能だけを使用する方法です。固定の16 点の入力が、積分フィルタを通して、固定の出力信号に出力されます。
PA[3:0]の 4 点、PA[7:4]の 4 点、PB[7:0]の8点ごとにフィルタの時定数を設定できます。それぞれの時定数の遅延時間は1 μsec ～ 32msec の範囲で外部から設定できます。

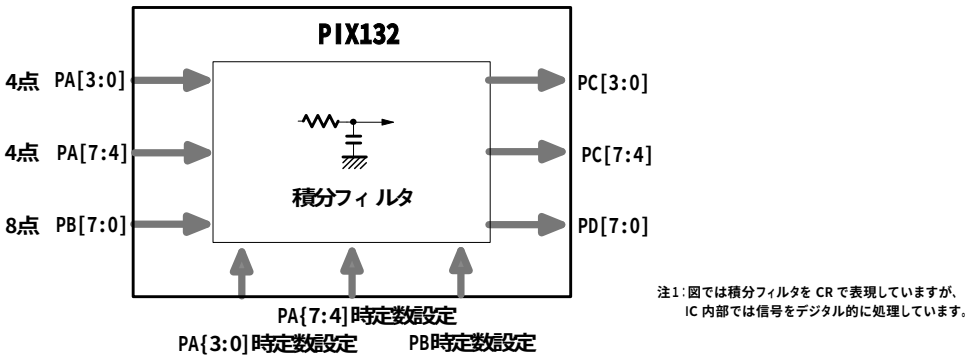


図 1.9 PIX132 の独立モード

また、フィルタの有効/無効（スルー）、出力信号のホールド、出力イネーブル（有効/ハイインピーダンス）の信号も用意されています。

2. 操作方法

2.1. 通常の入力/出力動作

ここでは、PIX132 を CPU のバスに接続して使用する従属モードで説明します。PIX132 は、それぞれ 8 点の信号から成るポート PA,PB,PC,PD のポートがあります。それぞれのポートは上位 4 点、下位 4 点ごとに入/出力、入力論理、フィルタを設定します。以下、各ポートの設定から入力読み出し、出力セットの手順を示します。

(1) 入/出力と入力論理設定

各ポートを入力として使用するか、出力として使用するかを設定します。入力として使用する場合には、入力信号の Hi レベルを1とするか、Low レベルを1とするかの論理も合わせて設定します。

参 照	記載ページ
5.1 データ書込み命令	26
5.1.1 入/出力と入力論理設定	26

(2) 入力フィルタの指定

入力に設定したポートについて、入力段に積分フィルタを働かせるか、スルーで通す（フィルタなし）かを指定します。積分フィルタを働かせる場合には、本ICは 3 種類のフィルタ時定数を持っていますので、3 種類のうちのどの時定数を使用するかを指定します。

参 照	記載ページ
5.1 データ書込み命令	26
5.1.2 フィルタ時定数設定	27

(3) フィルタ時定数の設定

本ICの積分フィルタの時定数を設定します。時定数は 3 種類あります。それぞれの時定数 1,2,3 について、遅延時間1μsec から 32msec の範囲で設定します。

参 照	記載ページ
5.1 データ書込み命令	26
5.1.3 フィルタ時定数設定	27

(4) 入力読み出し

リードレジスタ表示選択2命令(E6h)を発行して、RR4,5,6,7 レジスタを”リアル入力”の表示に切り替えます。
各ポートに対応する RR4,5,6,7 を読み出すことにより、現在の入力信号の状態（フィルタ通過後の論理設定された入力値）を取得することができます。

参 照	記載ページ
5.3.7 リードレジスタ表示選択2	36
4.7 RR4,5,6,7 レジスタ	23

(5) 出力セット

ポートを出力として設定した場合には、WR4,5,6,7 レジスタに出力を書き込むことにより出力信号をセットすることができます。
現在セットされている出力データは、リードレジスタ表示選択4命令(E8h)を発行して、RR4,5,6,7 レジスタを”出力”の表示に切り替えると、読み出すことができます。

参 照	記載ページ
4.4 WR4,5,6,7 レジスタ	22
5.3.9 リードレジスタ表示選択4	36
4.7 RR4,5,6,7 レジスタ	23

2.2. 入力同時ラッチ

PA～PD ポートのすべての入力信号を同時にラッチする機能です。同時にラッチするには、ストローブ信号、命令、タイマの3つの方法があります。いずれの方法を使用するかは、動作モード･割り込み設定命令で指定します。

(1) ストローブ信号、命令によるラッチ

ストローブ信号(INSTB)、または命令で入力同時ラッチを行なう場合には、動作モード･割り込み設定命令で、WR2/D2 ビットを1にセットし、合わせてストローブ信号(INSTB)の立ち上がりを使用するか立ち下りを使用するかを WR2/D5 ビットで指定します。
INSTB 信号の変化で、入力に設定されているすべての信号（フィルタ通過後の入力値）がラッチされます。また、入力同時ラッチ命令(EAh)命令を発行してラッチすることもできます。入力同時ラッチデータは、次の INSTB 信号の変化、または入力同時ラッチ(EAh)命令の発行まで保持されます。

参 照	記載ページ
5.1.9 動作モード･割り込み設定	30
5.3.11 入力同時ラッチ	37

動作モード･割り込み設定命令で、WR3/D1 ビットを1にセットすると、INSTB 信号の変化で割り込みを発生させることができます。

注意1： INSTB 信号状態によっては、動作モード･割り込み設定命令(C8h)発行時にラッチされる場合があります。例えば、INSTB信号がHiになっている時に、立ち上がりで動作モード･割り込み設定命令(C8h)を発行した場合には、命令発行時にもラッチされます。
注意 2： INSTB 信号変化によってラッチされた後、最大4CLK 周期の間は、たとえ INSTB 信号が変化しても次のラッチは行なわれません。

(2) タイマによるラッチ
本ICは 1μsec～32sec の範囲で設定できるタイマを持っています。タイマを起動させ、タイムアウトした時にすべての入力信号を同時ラッチします。タイマ動作は、1 回だけ動作させる単一起動と、CPU が停止させるまで繰り返し動作させる連続起動があります。連続起動の場合にはタイムアウトごとに入力値がラッチされます。タイマによる入力同時ラッチは以下の手順で行ないます。

① モード･割り込み設定命令で、WR2/D3 ビットを1にセットします。タイムアウトで割り込みを発生させる場合には、WR3/D0 ビットも 1 にセットします。
② タイマ値を設定します。
③ タイマ単一起動命令、またはタイマ連続起動命令を発行して、タイマを起動します。
④ 動作タイマ値を読み出すか、割り込みの発生でタイムアウトを確認します。割り込みの場合には、RR1/D0 ビットでタイマからの割り込みを確認します。RR1/D0 =1 を読み出すと、INTN 信号は解除されます。

参 照	記載ページ
5.1.9 動作モード･割り込み設定	30
5.1.4 タイマ値設定	28
5.3.1 タイマ単一起動	35
5.3.2 タイマ連続起動	35
5.2.3 動作タイマ値読み出し	34
4.5 RR1 レジスタ	22

(3) ラッチした入力値の読み出し
ラッチした入力値は、RR4,5,6,7 レジスタから読み出します。この時に、RR4,5,6,7 レジスタが”ラッチ入力”の表示になっていなければなりませんので、あらかじめリードレジスタ表示選択3命令(E7h)を発行して、RR4,5,6,7 レジスタを”ラッチ入力”の表示に切り替えておきます。

参 照	記載ページ
5.3.8 リードレジスタ表示選択3	36
4.7 RR4,5,6,7 レジスタ	23

2.3. 入力変化の保持

すべての入力信号について、信号が変化したことを捉える機能です。

(1) 設定
入力信号ごとに、変化を捉えることを有効にするか無効にするかの設定と、入力値が 0 から 1 の変化を捉えるのか 1 から 0 の変化を捉えるのかの変化する方向の指定を行ないます。
有効/無効の設定は、PAB 入力変化有効命令、PCD 入力変化有効命令によって行ないます。また、変化の方向設定は、PAB 入力変化方向命令、PCD 入力変化方向命令によって行ないます。

参 照	記載ページ
5.1.5 PAB 入力変化有効設定	29
5.1.6 PCD 入力変化有効設定	29
5.1.7 PAB 入力変化方向設定	29
5.1.8 PCD 入力変化方向設定	30

(2) 変化捕捉の動作
入力変化有効命令によって有効になった信号に対しては直ちに変化保持機能が働きます。入力値が指定の方向に変化した場合に、入力変化は”1”となります。入力信号に対応するレジスタを読み出すまでに、入力信号が何度変化しても”1”のままです。

(3) 入力変化の読み出し
入力変化情報は、RR4,5,6,7 レジスタから読み出します。この時に、RR4,5,6,7 レジスタが”入力変化”の表示になっていなければなりませんので、あらかじめリードレジスタ表示選択5命令(E9h)を発行して、RR4,5,6,7 レジスタを”入力変化”の表示に切り替えておきます。入力変化情報は、1 度、読み出すとクリアされます。

参 照	記載ページ
5.3.10 リードレジスタ表示選択5	37
4.7 RR4,5,6,7 レジスタ	23

(4) 変化情報のクリア
入力変化情報は、RR4～7 レジスタを読み出すと、レジスタごとにクリアされますが、命令で一括してクリアすることもできます。

参 照	記載ページ
5.3.5 入力変化情報クリア	35

注意： 本機能は、クロック(CLK)同期で動作します。フィルタなしの状態でも、入力信号の変化が CLK 周期より短い期間に行なわれた場合には、捕捉できない場合があります。

2.4. 出力同時セット

PA～PD ポートのすべての出力信号を同時に出力セットさせる機能です。出力を同時セットするには、ストローブ信号、命令、タイマの3つの方法があります。いずれの方法を使用するかは、動作モード･割り込み設定命令で指定します。

(1) ストローブ信号、命令による同時出力

ストローブ信号(OTSTB)、または命令で出力同時セットを行なう場合には、動作モード･割り込み設定命令で、WR2/D0（同時出力1）ビットを1にセットし、合わせてストローブ信号(OTSTB)の立ち上がりを使用するか立ち下りを使用するかを WR2/D4 ビットで指定します。

WR2/D0（同時出力1）ビットを1にセットし動作モード･割り込み設定命令を発行すると、それ以降、WR4,5,6,7 レジスタに出力値を書き込んでも出力信号は変化しません。WR4,5,6,7 すべてのレジスタに出力値を書き込んだ後に、ストローブ信号(OTSTB)を変化させるか、出力同時セット命令を発行すると、全出力信号が同時にセットされます。

参 照	記載ページ
5.1.9 動作モード･割り込み設定	30
5.3.12 出力同時セット	37
4.4 WR4,5,6,7 レジスタ	22

動作モード･割り込み設定命令で、WR3/D2 ビットを1にセットすると、OTSTB 信号の変化で割り込みを発生させることができます。

(2) タイマによる出力同時セット

本ICは 1μsec～32sec の範囲で設定できるタイマを持っています。タイマを起動させ、タイムアウトした時にすでに WR4,5,6,7 レジスタに書き込まれている出力値を同時に出力させることができます。タイマ動作は、1回だけ動作させる単一起動と、CPU が停止させるまで繰り返し動作させる連続起動があります。連続起動の場合にはタイムアウトごとに WR4,5,6,7 レジスタに書き込まれた出力値が同時に出力されます。タイマによる出力同時セットは以下の手順で行ないます。

① モード･割り込み設定命令で、WR2/D1ビットを1にセットします。タイムアウトで割り込みを発生させる場合には、WR3/D0 ビットも 1 にセットします。
② タイマ値を設定します。
③ WR4,5,6,7 レジスタに出力値を書き込みます。
④ タイマ単一起動命令、またはタイマ連続起動命令を発行して、タイマを起動します。
⑤ 動作タイマ値を読み出すか、割り込みの発生でタイムアウトを確認します。タイムアウト時に出力信号がセットされます。
⑥ 割り込みの場合には、RR1/D0 ビットでタイマからの割り込みを確認します。RR1/D0 =1 を読み出すと、INTN 信号は解除されます。
⑦ タイマの連続起動の場合には、WR4,5,6,7 レジスタに次の出力値を書き込み、⑤、⑥を繰り返します。

参 照	記載ページ
5.1.9 動作モード･割り込み設定	30
5.1.4 タイマ値設定	28
5.3.1 タイマ単一起動	35
5.3.2 タイマ連続起動	35
5.2.3 動作タイマ値読み出し	34
4.4 WR4,5,6,7 レジスタ	22

出力同時セットの注意：

● **ポート出力の負荷**

ポート出力 1 点当たり 50pF を超える容量負荷を全出力同時にセットしないでください。本ICが誤動作する場合があります。このような場合には、ポート出力の後段に駆動ICを置き、この駆動ICによって大きな容量性負荷をドライブしてください。

● **同時スイッチングの対策**

お客様の回路システムにおいて、本ICの後段で大きな電流をON/OFF 制御させる場合には、大電流の同時スイッチングによって発生する GND･電源の電圧変動や信号間のクロストークなどを最小に抑えるための十分な対策が必要となります。

● **PA,PD ポート遅延**

本IC内においても同時スイッチングによる誤動作を防止するために、PB,PC ポート出力に対して PA,PD ポート出力を 7nsec 程度（VDD=5V、typ.値）遅らせています。8.2.9 参照。

2.5. ビット指定出力

出力信号を 1 点ごとにセットする機能です。指定の信号を Low レベルにするには、WR0 レジスタにその信号に割り当てられた番号を書き込むと、その信号は Low にセットされます。また、WR1 レジスタにその信号に割り当てられた番号を書き込むと、対応する信号が Hi にセットされます。

参 照	記載ページ
4.1 WR0 レジスタ	20
4.2 WR1 レジスタ	21

2.6. タイマ

本ICは1μsec ～ 32secの範囲で設定できるタイマを持っています。タイマのタイムアウト時に次の3つの動作を行なわせることができます。それぞれの節を参照ください。

- 入力同時ラッチ　2.2 節
- 出力同時セット　2.4 節
- 割り込みの発生　2.7 節

タイマを動作させるには次の手順で行ないます。

① タイマ値を設定する。
② タイムアウトで割り込みを発生させる場合には、モード･割り込み設定命令で、WR3/D0 ビットを 1 にセットします。
③ タイマ単一起動命令、またはタイマ連続起動命令を発行して、タイマを起動します。
④ 単一起動させたタイマを途中で停止させるには、タイマ停止命令を発行します。また、連続起動させたタイマを停止させるには、タイマ停止命令またはタイマサイクル停止命令を発行します。

参　照	記載ページ
5.1.9 動作モード･割り込み設定	30
5.1.4 タイマ値設定	28
5.3.1 タイマ単一起動	35
5.3.2 タイマ連続起動	35
5.3.3 タイマ停止	35
5.3.4 タイマサイクル停止	35
5.2.3 動作タイマ値読み出し	34

2.7. 割り込み

本ICはCPUに対する割り込み出力信号(INTN)を持っています。INTN信号はオープンドレイン出力ですので、使用する場合にはVDDに抵抗を介してプルアップする必要があります。割り込みは次の4つの動作で発生させることができます。それぞれの割り込み発生を有効にするには、動作モード･割り込み設定命令で指定します。

参　照	記載ページ
5.1.9 動作モード･割り込み設定	30

- タイマのタイムアウト
- 入力同時ラッチ時の INSTB 信号の変化
- 出力同時セット時の OTSTB 信号の変化
- 入力変化

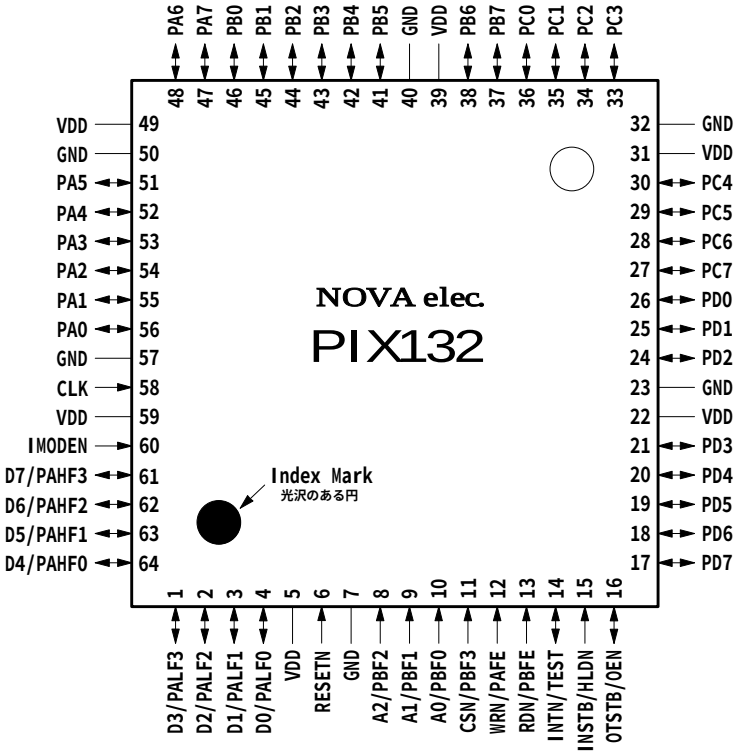
2.8. リセット時の状態

本ICの従属モード時の各設定項目は、リセット時においては下表のようになります。

項目	リセット時の状態	関連命令
PA～PD ポートの入力/出力	すべての信号が入力	入/出力の指定と論理設定
PA～PD ポートの入力論理	すべて0（Hiを1）	
PA～PD ポートのフィルタ指定	すべての信号がスルー	入力フィルタ指定
フィルタ時定数1，2，3	1，2，3ともに0（遅延時間1μ）	フィルタ時定数設定
タイマ値	0	タイマ値設定
PAB、PCD 入力変化有効/無効	すべての信号が無効	PAB,PCD 入力変化有効設定
PAB、PCD 入力変化方向	すべて0（入力値0から1の変化）	PAB,PCD 入力変化方向設定
同時出力1（ストローブ･命令）	無効	動作モード･割込み設定
同時出力2（タイマ）	無効	
入力同時ラッチ1（ストローブ･命令）	無効	
入力同時ラッチ2（タイマ）	無効	
OTSTB の方向	0（立ち上がり）	
INSTB の方向	0（立ち上がり）	
タイマ割り込み	無効	
入力同時ラッチ INSTB 信号割り込み	無効	
同時出力 OTSTB 信号割り込み	無効	
入力変化割り込み	無効	

3. 端子配置と信号

3.1. 端子配置



・ パッケージ：64 ピン TQFP　最外形：12×12mm　リードピッチ：0.5mm　鉛フリー
・ パッケージの詳細寸法は、9 章に記載されています。

3.2. 信号の説明

表中の入/出力回路は 3.3 節を参照してください。

信号名	端子番号	入/出力回路	信号の説明	
			従属モード時	独立モード時
CLK	58	入力A	Clock：本ICの内部同期回路を動作させるクロック信号です。周波数 16MHz のクロックを入力します。フィルタの時定数やタイマ値は 16MHz を基準にしています。16MHz 以外の周波数ではフィルタの時定数やタイマ値が異なります。	
D0/PALF0	4	双方向A	D0～D7 Data Bus：3ステート双方向の8ビットデータバスです。システムのデータバスに接続します。D7が最上位信号、D0が最下位信号です。Low レベルを 0、Hi レベルを1とします。CSN＝Low で RDN＝Low のとき出力状態になります。	PALF0～3：PA 下位 4 点(PA0～3)入力の積分フィルタの時定数を設定する信号です。PALF3 が最上位信号、PALF0 が最下位信号です。Low レベルで 0、Hi レベルで 1 の値をとります。
D1/PALF1	3	双方向A		
D2/PALF2	2	双方向A		
D3/PALF3	1	双方向A		
D4/PAHF0	64	双方向A		PAHF0～3：PA 上位 4 点(PA4～7)入力の積分フィルタの時定数を設定する信号です。PAHF3 が最上位信号、PAHF0 が最下位信号です。Low レベルで 0、Hi レベルで 1 の値をとります。
D5/PAHF1	63	双方向A		
D6/PAHF2	62	双方向A		
D7/PAHF3	61	双方向A		
A0/PBF0	10	入力A	A0～A2 Address：上位 CPU が本ICのリード/ライトレジスタを選択するためのアドレス信号です。A2 が最上位信号、A0 が最下位信号です。Low レベルを 0、Hi レベルを1とします。	PBF0～3：PB ポート(PB0～7)入力の積分フィルタの時定数を設定する信号です。PBF3 が最上位信号、PBF0 が最下位信号です。Low レベルで 0、Hi レベルで 1 の値をとります。
A1/PBF1	9	入力A		
A2/PBF2	8	入力A		
CSN/PBF3	11	入力A	Chip Select：本ICをI/Oディバイスとして選択するための入力信号です。本ICをリード/ライトアクセスするとき、Low レベルにします。	**注意：**PBF3～0 信号の端子並びが順番になっていません。ご注意ください。
WRN/PAFE	12	入力A	Write Strobe：本ICのライトレジスタに書き込みを行うときに Low にします。WRN が Low の期間は CSN および A2～A0 が確定していなければなりません。WRN が↑のとき、データバスの内容がライトレジスタに取込まれるので、WRN の↑の前後は D7～D0 の値が確定していなければなりません。	PA Filter Enable：PA 入力の積分フィルタを有効にする信号です。Hi で有効、Low で無効になります。無効にした場合には、PA 入力がフィルタなしに直接 PC ポートに出力されます。
RDN/PBFE	13	入力A	Read Strobe：本ICのリードレジスタからデータを読出すときに Low にします。CSN を Low にし RDN を Low にすると、RDN が Low の期間だけ、A2～A0 のアドレス信号によって選択されたリードレジスタのデータがデータバスに出力されます。	PB Filter Enable：PB 入力の積分フィルタを有効にする信号です。Hi で有効、Low で無効になります。無効にした場合には、PB 入力がフィルタなしに直接 PD ポートに出力されます。
RESETN	6	入力A	Reset：本ICをリセット（初期化）する信号です。Low レベルにすると本ICがリセットされます。電源投入時には、必ず本ICを RESETN 信号でリセットしなければなりません。本ICがリセットされると、PA～PD のすべてのポートは入力状態になります。また、モード設定も初期化されます。　2.8 節参照。	Reset：本ICをリセット（初期化）する信号です。RESETN 信号が Low レベル時、PC,PD ポート出力は PA,PB ポート入力信号に関わりなく Low レベルになります。

信号名	端子番号	入/出力回路	信号の説明	
			従属モード時	独立モード時
INTN/TEST	14	双方向A	Interrupt：上位 CPU に対する割り込み要求の出力信号です。いずれかの割り込み要因により割り込みが発生すると INTN は Low レベルになります。割り込みが解除されると、Hi-Z に戻ります。	Test:GND に接続してください。本ICの内部回路をテストする入力信号になります。独立モード（IMODEN=Low）の時、本信号を Hi レベルにすると、内部のテスト回路が作動します。必ず GND に接続しておいてください。
IMODEN	60	入力A	Independent Mode：本ICを独立モードで使用するときに Low レベル（GND 接続）にします。CPU 従属モードのときは Hi レベル（VDD 接続）にします。	
PA7～PA0	47,48,51,52,53,54,55,56	双方向A	PortA：PA 入/出力ポート（8 点）モード設定で上位 4 点、下位 4 点ごとに入力/出力を設定します。	PA 入力ポート（8 点）入力専用です。
PB7～PB0	37,38,41,42,43,44,45,46	双方向A	PortB：PB 入/出力ポート（8 点）モード設定で上位 4 点、下位 4 点ごとに入力/出力を設定します。	PB 入力ポート（8 点）入力専用です。
PC7～PC0	27,28,29,30,33,34,35,36	双方向A	PortC：PC 入/出力ポート（8 点）モード設定で上位 4 点、下位 4 点ごとに入力/出力を設定します。	PC 出力ポート（8 点）PA 入力信号が積分フィルタを通して出力されます。
PD7～PD0	17,18,19,20,21,24,25,26	双方向A	PortD：PD 入/出力ポート（8 点）モード設定で上位 4 点、下位 4 点ごとに入力/出力を設定します。	PD 出力ポート（8 点）PB 入力信号が積分フィルタを通して出力されます。
INSTB/HLDN	15	入力A	Input Latch Strobe：PA～PD の入力をラッチするストローブパルスです。機能させるにはモード設定が必要です。	Hold：PC,PD ポート出力状態をホールド（保持）します。本信号が Low レベルでホールドされます。
OTSTB/OEN	16	双方向 B（入力のみ使用）	Output Latch Strobe：PA～PD の出力について同時出力させるストローブパルス入力です。機能させるにはモード設定が必要です。	Output Enable：PC,PD 出力ポートをイネーブルにする信号です。本信号を Low にすると PC,PD 出力信号がイネーブルになります。Hi レベルのときは PC,PD 出力はハイインピーダンスになります。
VDD	5,22,31,39,49,59		+5V（または+3.3V）電源端子です。必ず、6本すべての端子を基板の電源パターンに接続してください。	
GND	7,23,32,40,50,57		グランド（0V）端子です。必ず、6本すべての端子を基板のグランドパターンに接続してください。	

3.3. 入/出力回路

入力A	高抵抗（数十KΩ～数百KΩ）でVDDにプルアップされた、TTLレベルのシュミットトリガ入力です。 CMOS、TTL いずれも接続可能です。使用しない場合は、オープンか、VDD にプルアップしてください。
双方向A	入力側は、TTLレベルのシュミットトリガ入力です。IC内部では高抵抗でプルアップされておらず、ハイインピーダンスです。使用しない信号については高抵抗でVDDにプルアップまたはGNDにプルダウンしてください。データ信号(D7～D0)は、信号ラインがハイインピーダンスにならないよう、システム全体でデータバスを高抵抗でプルアップしてください。 出力側は、CMOSレベルの出力です。VDD=5V時では8mAまで駆動できます（ Hiレベル出力電流IOH=-8mAで VOH=2.4Vmin, Lowレベル出力電流IOL=8mAでVOL=0.4Vmax）。VDD=3.3V時では4mAまで駆動できます（ Hiレベル出力電流IOH=-4mAで VOH=2.4Vmin, Lowレベル出力電流IOL=4mAでVOL=0.44Vmax）。
双方向 B	双方向Aと同じ回路ですが、入力だけを使用します。入力側は、TTL レベルのシュミットトリガ入力です。 IC内部では高抵抗でプルアップされておらず、ハイインピーダンスです。 IMODEN=Low でINTN/TEST=Hiにすると、本ICの内部テスト回路が作動しOTSTB/OEN信号が出力状態になりますので、IMODEN=Low(独立モード) ではINTN/TEST信号を必ずGNDに接続しておいてください。

3.4. 回路設計上の注意

GND･VDD 端子の処理

必ず、すべての GND 端子、VDD 端子を回路基板のグランドパターン、電源パターンに接続してください。

デカップリングコンデンサ

本ICのVDDとGND間に、高周波特性の良い 0.1μF程度のデカップリングコンデンサを2～4個入れてください。

4. レジスタ

この章では、各ポートの書き込みや読み出しを行うために、CPU がアクセスするリード/ライトレジスタについて、詳細に記述します。
リードレジスタ、ライトレジスタともに、それぞれ 8 本ずつあり、各レジスタは 8 ビットから構成されています。

書き込み/読み出し動作

ライトレジスタのデータを書き込むには、書き込むレジスタを A2～A0 信号で選択し、CSN 信号を Low にして、WRN 信号を Low から Hi に立ち上げるときにデータバス(D7～D0)の値が選択されたライトレジスタに書き込まれます。また、リードレジスタからデータを読み出すには、読み出すレジスタを A2～A0 信号で選択し、CSN 信号を Low にするとともに、RDN 信号を Low にすると選択されたリードレジスタの情報がデータバス(D7～D0)に出力されます。読み出し/書き込みの詳細なタイミングは、8.4.2 節を参照してください。

■ ライトレジスタ

アドレス			レジスタ記号	機 能
A2	A1	A0		
0	0	0	WR0	命令実行、 ビット指定0出力
0	0	1	WR1	ビット指定1出力
0	1	0	WR2	書き込みデータ(下位)
0	1	1	WR3	書き込みデータ(上位)
1	0	0	WR4	PA ポートの出力値設定
1	0	1	WR5	PB ポートの出力値設定
1	1	0	WR6	PC ポートの出力値設定
1	1	1	WR7	PD ポートの出力値設定

■ リードレジスタ

アドレス			レジスタ記号	機 能
A2	A1	A0		
0	0	0	RR0	空き
0	0	1	RR1	割込み発生要因の表示
0	1	0	RR2	読み出しデータ（下位）の表示
0	1	1	RR3	読み出しデータ（上位）の表示
1	0	0	RR4	PA ポート リアル入力/ラッチ入力/出力/入力変化の表示
1	0	1	RR5	PB ポート リアル入力/ラッチ入力/出力/入力変化の表示
1	1	0	RR6	PC ポート リアル入力/ラッチ入力/出力/入力変化の表示
1	1	1	RR7	PD ポート リアル入力/ラッチ入力/出力/入力変化の表示

4.1. WR0 レジスタ ---------- 命令実行･ビット指定0出力

WR0 レジスタは2つの目的のために使用します。

① 命令の実行
WR0 レジスタに C0(hex)以上の値を書き込むと、命令と解釈され、対応する命令が実行されます。
命令の実行については 5 章をご覧ください。

② ビット指定0出力
ビット指定0出力は、出力信号に対応する番号を WR0 レジスタに書き込んで、1 点の出力信号だけを Low レベルにセットする機能です。WR0 レジスタの D4～0 に下表に示す信号に対応する番号を書き込むと、対応する出力信号が Low レベルになります。
注意：出力同時セット時（C8 命令で D0 または D1=1）には、このビット指定0出力は無効となります。

	D7	D6	D5	D4	D3	D2	D1	D0	
WR0	0	0	0						ビット指定 0 出力 (出力：Low)
				信号指定番号					

信号指定番号 (HEX 表示)	信号名	端子番号	信号指定番号 (HEX 表示)	信号名	端子番号
00	PA0	56	10	PC0	36
01	PA1	55	11	PC1	35
02	PA2	54	12	PC2	34
03	PA3	53	13	PC3	33
04	PA4	52	14	PC4	30
05	PA5	51	15	PC5	29
06	PA6	48	16	PC6	28
07	PA7	47	17	PC7	27
08	PB0	46	18	PD0	26
09	PB1	45	19	PD1	25
0A	PB2	44	1A	PD2	24
0B	PB3	43	1B	PD3	21
0C	PB4	42	1C	PD4	20
0D	PB5	41	1D	PD5	19
0E	PB6	38	1E	PD6	18
0F	PB7	37	1F	PD7	17

・ 出力に指定していない信号に対して指定しても無効となります。
・ **注意**： ビット指定0出力で、WR0 の D7～5 ビットには必ず0をセットしてください。0以外の値をセットすると、思わぬ命令が実行される可能性があります。

4.2. WR1 レジスタ ---------- ビット指定1出力

ビット指定1出力は、出力信号に対応する番号を WR1 レジスタに書き込んで、1 点の出力信号だけを Hi レベルにセットする機能です。WR1 レジスタの D4～0 に出力信号に対応する信号指定番号を書き込むと、対応する出力信号が Hi レベルになります。信号指定番号は 4.1.節の表を参照してください。

	D7	D6	D5	D4	D3	D2	D1	D0	
WR1	0	0	0						ビット指定1出力 (出力：Hi)
				信号指定番号					

注意：出力同時セット時（C8 命令で D0 または D1=1）には、このビット指定1出力は無効となります。

4.3. WR2,3 レジスタ --------- 書き込みデータ

WR2,3 レジスタは、データ書き込み命令のデータをセットするためのレジスタです。WR2,3 レジスタにデータをセットした後に WR0 レジスタに命令コードを書き込むと、そのデータ書き込み命令が実行され、WR2,3 レジスタの内容が内部に取り込まれます。2 バイト長データの場合は、WR2 レジスタに下位バイト、WR3 レジスタに上位バイトをセットします。1 バイト長データの場合は WR2 レジスタにセットし、WR3 には0をセットする必要はありません。

	D7	D6	D5	D4	D3	D2	D1	D0	
WR2									書き込みデータ下位バイト

	D7	D6	D5	D4	D3	D2	D1	D0	
WR3									**書き込みデータ上位バイト**

4.4. WR4,5,6,7 レジスタ ---- ポート出力値の設定

WR4,5,6,7 レジスタは、PA,PB,PC,PD ポートの出力値を、各ポートごとに設定するレジスタです。各信号の対応するビットに0をセットすると Low レベルに、1をセットすると Hi レベルになります。もし、ポートの半分だけを出力にしている場合には、入力に設定されている信号に対してはどちらの値をセットしても構いません。

	D7	D6	D5	D4	D3	D2	D1	D0	
WR4	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	**PA ポート出力値の設定** **0:Low 1:Hi**
WR5	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	**PB ポート出力値の設定**
WR6	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	**PC ポート出力値の設定**
WR7	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	**PD ポート出力値の設定**

・ 同時出力 1,2 (動作モード･割込み設定命令 (C8h) を参照) を有効にしている場合には、これらの WR4,5,6,7 レジスタに値を書き込んでも、直ちに出力は変化しません。

・ 入/出力指定命令(C0h)で、各信号の入/出力を出力に設定していないと、これらのレジスタに書き込んでも出力されません。

4.5. RR1 レジスタ ---------- 割込み要因の表示

割り込みを発生させた要因 (入力変化は除く) を表示します。 1で割り込みを発生させた要因であることを示します。

	D7	D6	D5	D4	D3	D2	D1	D0	
RR1	0	0	0	0	0	OTS	INS	TIM	**1:発生**

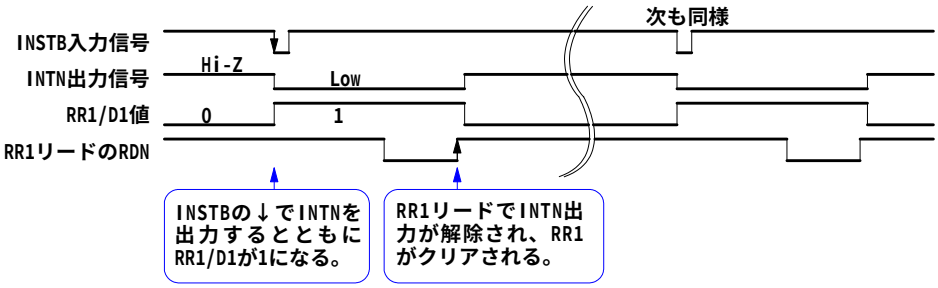
D0	**TIM**	タイマがタイムアウト (タイマカウント＝設定値) した。タイマ連続起動の時は、タイマカウント=設定値時。
D1	**INS**	INSTB 信号が変化した。
D2	**OTS**	OTSTB 信号が変化した。

・ 割り込みを発生させるには、事前に動作モード･割込み設定命令(C8h)によって、希望する割込み要因を有効にしておく必要があります。

・ この RR1 レジスタは、CPU 側から 1 回読み出すと、すべてのビットがクリアされます。

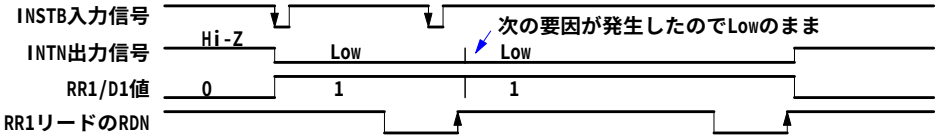
■ 通常の割り込み動作

動作モード･割り込み設定命令によって割り込みを有効に設定した要因が発生すると、INTN 出力信号が Hi-Z から Low レベルに落ちるとともに RR1 レジスタの該当ビットに1が立ちます。CPU 側で割り込み処理ルーチン内で RR1 レジスタを読み込むと INTN 出力信号は Hi-Z に戻るとともに RR1 レジスタのすべてのビットは0にクリアされます。



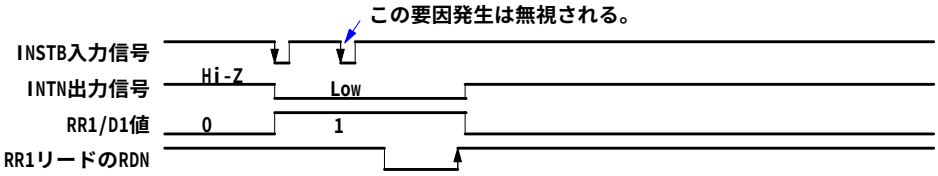
■ RR1 読み出し時に次の要因が発生した場合

各要因による割込み発生と CPU からの読み出しタイミングが重なった時には、割込みの発生を読み出し終了まで内部で遅らせますので、読み出しによって次の発生を見逃すことはありません。



■ 割り込みが発生してから、RR1 を読み出す前に次の要因が発生した場合

割り込みが発生してから、RR1 を読み出す前に、同じ要因が再度発生した場合には、この発生は無視されます。



4.6. RR2,3 レジスタ ---------- 読み出しデータの表示

RR2,3 レジスタには、データ読み出し命令のデータがセットされます。WR0 レジスタに命令コードを書き込むと、その命令に応じたデータが、IC内部から RR2,3 レジスタにセットされます。2 バイト長データの場合は、RR2 レジスタに下位バイト、RR3 レジスタに上位バイトがセットされます。1 バイト長データの場合は RR2 レジスタにセットされます。RR3 には0がセットされます。

	D7	D6	D5	D4	D3	D2	D1	D0	
RR2									読み出しデータ下位バイト
RR3									読み出しデータ上位バイト

4.7. RR4,5,6,7 レジスタ ---- ポート リアル入力/ラッチ入力/出力/入力変化の表示

RR4,5,6,7 レジスタは、PA,PB,PC,PD ポートの入力値をポートごとに表示するレジスタです。各レジスタはそれぞれ、RR4：PA[7:0]、RR5：PB[7:0]、RR6：PC[7:0]、RR7：PD[7:0]が対応しています。

	D7	D6	D5	D4	D3	D2	D1	D0	
RR4	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	**PA ポート**
RR5	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	**PB ポート**
RR6	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	**PC ポート**
RR7	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	**PD ポート**

RR4,5,6,7 レジスタには、リアル入力（現在の入力値）だけではなく、ラッチ入力、入力変化、さらに現在の出力値も表示します。これらの表示情報は、CPU からの E5～E9h 命令によって、切り替わります。

表示情報	内　容	表示選択命令	値(1,0)の意味
リアル入力	積分フィルタ通過後の入力値が表示される。	E6	入力論理設定による。
ラッチ入力	積分フィルタ通過後のラッチされた入力値が表示される。 注 1	E7	入力論理設定による。
出力	現在設定されている出力信号の状態が表示される。	E8	0：Low レベル 1：Hi レベル
入力変化	変化した入力を表示する。 注2 入力変化情報は 1 度読み出すとクリアされる。	E9	0：変化なし 1：変化あり
リアル入力＋出力	入力に設定されている信号はリアル入力が、出力に設定されている信号は出力値が表示される。	E5	上記参照

注 1：ラッチは、外部信号(INSTB)、命令(EAh)、タイマのいずれかで行ないます。
注 2：変化捕捉の有効、変化方向の選択を事前に設定しておく必要があります。

表示選択命令は入力値を読み出すたびに発行する必要はありません。一度書き込んだ表示選択命令は、次に表示選択命令を書き込むまで有効です。

現在の RR4,5,6,7 レジスタが、どの表示選択になっているかを確認することができます。リードレジスタ表示状態の読み出し命令(D9h)を発行すると RR2 レジスタから現在の選択が読み出せます。詳細は、5.2.2 節を参照してください。

5. 命令

本ICに対する命令は、データ書き込み命令、データ読み出し命令、その他の命令に分類されます。
データ書き込み命令は、WR2,WR3 にデータを書き込んだ後に、WR0 に命令コードを書き込むと実行されます。WR2 が下位バイト、WR3 が上位バイトになります。1 バイト長のデータは WR2 にのみデータを書き込めば良く、WR3 に0を書き込む必要はありません。
データ読み出し命令は、WR0 に命令コード書き込むと、RR2,3 に読み出しデータがセットされます。データ長が 1 バイトの場合には RR2 レジスタにセットされます。RR3（上位バイト）は0になります。
その他の命令は、WR0 にその命令コードを書き込むと実行されます。

分類	コード	命　令	書き込みデータ長 (Byte)	読み出しデータ長 (Byte)	詳細ページ
データ書き込み	C0	入/出力の指定と論理設定	2		26
	C1	入力フィルタ指定	2		26
	C2	フィルタ時定数の設定	2		27
	C3	タイマ値設定	2		28
	C4	PAB 入力変化有効設定	2		29
	C5	PCD 入力変化有効設定	2		29
	C6	PAB 入力変化方向設定	2		29
	C7	PCD 入力変化方向設定	2		30
	C8	動作モード･割り込み設定	2		30
データ読み出し	D0	入/出力の指定と論理設定の読み出し		2	33
	D1	入力フィルタ指定の読み出し		2	
	D2	設定フィルタ時定数の読み出し		2	
	D3	設定タイマ値の読み出し		2	
	D4	PAB 入力変化有効の読み出し		2	
	D5	PCD 入力変化有効の読み出し		2	
	D6	PAB 入力変化方向の読み出し		2	
	D7	PCD 入力変化方向の読み出し		2	
	D8	動作モード･割り込み設定の読み出し		2	
	D9	リードレジスタ表示状態の読み出し		1	33
	DA	動作タイマ値の読み出し		2	34
その他	E0	タイマ単一起動			35
	E1	タイマ連続起動			35
	E2	タイマ停止			35
	E3	タイマサイクル停止			35
	E4	入力変化情報クリア			35
	E5	リードレジスタ表示選択1（リアル入力＋出力）			36
	E6	リードレジスタ表示選択2（リアル入力）			36
	E7	リードレジスタ表示選択3（ラッチ入力）			36
	E8	リードレジスタ表示選択4（出力）			36
	E9	リードレジスタ表示選択5（入力変化）			37
	EA	入力同時ラッチ			37
	EB	出力同時セット			37

命令書込みタイミングの注意：
本ICは、命令処理のために 2CLK サイクルの時間を必要とします。本ICへ命令を書き込んだ後は、2CLK サイクル(CLK=16MHz 時は 125nsec)以上時間間隔をあけてから、本ICへの次のアクセスを行なってください。

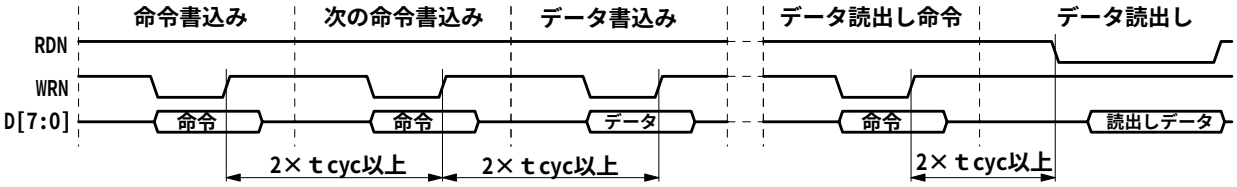


図 5.1 PIX132 へのアクセスタイミング

5.1. データ書き込み命令

データ書き込み命令は、WR2,WR3 にデータを書き込んだ後に、WR0 に命令コードを書き込むと実行されます。WR2 が下位バイト、WR3 が上位バイトになります。1 バイト長のデータは WR2 にのみデータを書き込めば良く、WR3 に0を書き込む必要はありません。本ICは、データ書き込み命令でIC内部に設定されたデータを、データ読み出し命令を用いて、すべて読み出すことができます。

5.1.1. 入/出力の指定と論理設定

命令コード	命令	機 能
C0	**入/出力の指定と論理設定**	入/出力信号について、4 点毎に入力または出力の設定を行なう。 入力信号の論理レベルを 4 点毎に設定する。

WR2 レジスタの D0 ～ D7 ビットに各ポートを入力にするか、出力にするか設定します。**H は **ポートの上位 4 点、**L は下位 4 点を表します。 0:入力、1:出力になります。例えば D0 ビットを 0 にセットすると、PA3, PA2, PA1, PA0 信号が入力に設定されます。D1 ビットに1をセットすると、PA7, PA6, PA5, PA4 信号が出力に設定されます。D2 から D7 ビットについても、同様に PB ポートから PD ポートまで信号について、4 点毎に入力/出力を設定します。

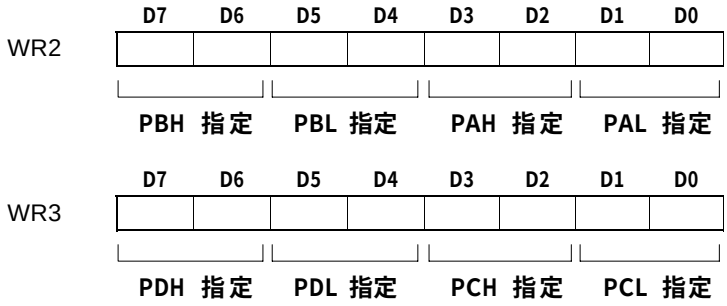
WR3 レジスタに各入力信号の論理レベルを入力 4 点ごとに設定します。**H は **ポートの上位 4 点、**L は下位 4 点を表します。0：入力信号が Hi レベルを入力値1、1：入力信号が Low レベルを入力値1とします。出力に設定している信号は0でも1でも構いません。この論理選択は、出力に対しては機能しません。

リセット時はすべてのポートが入力になり、入力信号は Hi レベルが入力値1となります。

5.1.2. 入力フィルタ指定

命令コード	命令	機 能
C1	**入力フィルタ指定**	入力信号に対して、入力4点ごとに積分フィルタの時定数を指定する。

WR2,3 レジスタに、すべての入力信号について、4 点ごとに、フィルタ時定数 3 種類のうちのどの時定数を使用するかを指定します。



指定値 (上位ビット，下位ビット)	フィルタ指定内容
0,0	スルー （フィルターなし）
0,1	時定数 1 のフィルタが設定される。
1,0	時定数 2 のフィルタが設定される。
1,1	時定数 3 のフィルタが設定される。

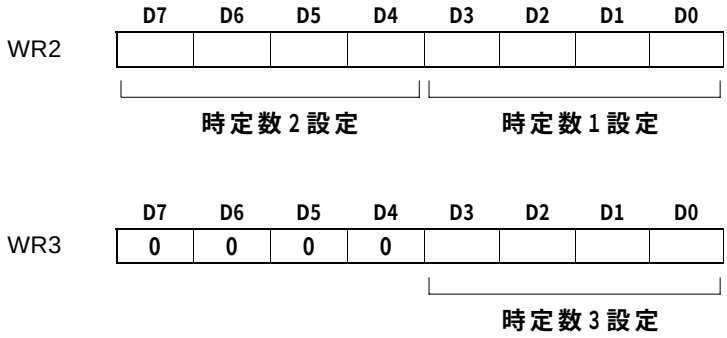
・ **H は**ポートの上位 4 点、**L は下位 4 点を表します。
・ 出力に設定されている信号に対しては、フィルタは機能しませんので、00をセットしてください。
・ リセット時はすべての入力ポートがスルーとなります。

指定切り替え時の注意：フィルタ無効(スルー)時には、IC内のフィルタ演算が停止しています。そのため、無効(スルー)からフィルタ有効に切り替えた時に、最大でフィルタの遅延時間の期間、無効にする前の入力値が読み出されます。

5.1.3. フィルタ時定数設定

命令コード	命令	機 能
C2	**フィルタ時定数設定**	フィルタ時定数1，2，3の値を設定する。

本ICは 3 種類のフィルタ時定数を持っています。各々のフィルタ時定数は、16 個の数値の中から1つを選択することができます。WR2,3 レジスタのそれぞれの時定数指定4ビットに、下表に示す設定値を書き込みます。

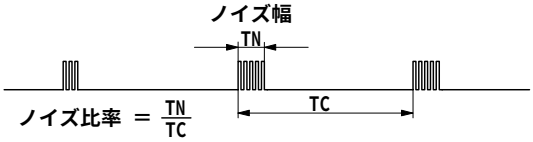


CLK=16MHz の時

設定値 (HEX)	信号遅延時間 (μsec)	除去ノイズ幅 (μsec)	設定値 (HEX)	信号遅延時間 (msec)	除去ノイズ幅 (msec)
0	1.00	0.875	8	0.256	0.224
1	2.00	1.75	9	0.512	0.448
2	4.00	3.50	A	1.02	0.896
3	8.00	7.00	B	2.05	1.79
4	16.0	14.0	C	4.10	3.58
5	32.0	28.0	D	8.19	7.17
6	64.0	56.0	E	16.4	14.3
7	128	112	F	32.8	28.7

信号遅延時間は標準値です。 標準値×0.875 ～ 標準値＋80nsec の範囲で変動します。

除去ノイズ幅とは、本フィルタが除去可能なノイズの最大時間幅をいいます。設定値を上げると除去可能な最大ノイズ幅は上がりますが、信号の遅延時間が大きくなりますので、設定値は適切な値を設定します。



しかし、当然ながらノイズ比率（信号上にノイズが発生する時間比率）が、1/2 より大きくなると除去できなくなります。

■設定値の目安

実際の回路構成や環境により異なりますが、設定値の目安を下表に示します。

除去したいノイズ、またはノイズを除去したい信号	設定値の目安
ロジック回路内のクロストークや他の誘導ノイズ	0 ～ 2
ラインレシーバからの信号	0 ～ 2
高速フォトカプラ(TLP115A など) からの信号	0 ～ 3
低速フォトカプラ（TLP281 など）からの信号	7 ～ 9

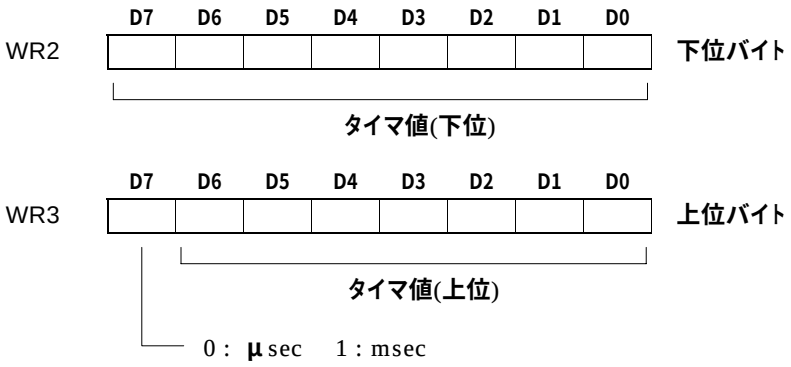
CLK=16MHz の場合

・ リセット時は、時定数1，2，3ともに、0（1μsec）が設定されます。

5.1.4. タイマ値設定

命令コード	命令	機 能
C3	**タイマ値設定**	タイマの値を1 ～ 32,767 の範囲で、μsec 単位、または msec 単位で設定する。

本ICのタイマは、割り込み、入力同時ラッチ、同時出力に使用します。
WR2,3 レジスタに、タイマ値を1 ～ 32,767 の範囲でセットします。WR3 レジスタの D7 ビットを 0 にセットすると 1 ビットが μsec 単位に、1 にセットすると msec 単位になります。



・ タイマ値は、CLK=16MHz 時に 1bit = 1μsec または 1bit = 1msec となります。
・ タイマの起動･停止は E0h～E3h 命令で行ないます。また、タイマ動作中のタイマ値読み出しは DAh 命令で行ないます。各命令をご参照ください。
・ リセット時、タイマ値は0です。

5.1.5. PAB入力変化有効設定

命令コード	命令	機 能
C4	**PAB 入力変化有効設定**	PA,PB ポートの各入力について、変化を捉えることを有効にする。

WR2 レジスタには PA[7:0]入力について、WR3 レジスタには PB[7:0]入力について有効/無効を設定します。0 をセットすると無効、1 をセットすると有効になります。有効に設定した入力のみ、変化を捉えることになります。

各入力について入力値 0 から1の変化を捉えるか、入力値1から 0 の変化を捉えるかを、PAB 入力変化方向設定命令(C6h)で指定することができます。

	D7	D6	D5	D4	D3	D2	D1	D0
WR2	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
WR3	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0

0：無効　1：有効

5.1.6. PCD入力変化有効設定

命令コード	命令	機 能
C5	**PCD 入力変化有効設定**	PC,PD ポートの各入力について、変化を捉えることを有効にする。

WR2 レジスタには PC[7:0]入力について、WR3 レジスタには PD[7:0]入力について有効/無効を設定します。0 をセットすると無効、1 をセットすると有効になります。有効に設定した入力のみ、変化を捉えることになります。

各入力について入力値 0 から1の変化を捉えるか、入力値1から 0 の変化を捉えるかを、PCD 入力変化方向設定命令(C7h)で指定することができます。

	D7	D6	D5	D4	D3	D2	D1	D0
WR2	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
WR3	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0

0：無効　1：有効

5.1.7. PAB入力変化方向設定

命令コード	命令	機 能
C6	**PAB 入力変化方向設定**	PA,PB ポートの各入力について、入力値 0 から 1 の変化を捉えるか、入力値 1 から 0 の変化を捉えるかを設定する。

WR2 レジスタには PA[7:0]入力について、WR3 レジスタには PB[7:0]入力について変化の方向を設定します。0 をセットすると入力値 0 から1の変化を捉えます。また、1 をセットすると入力値 1 から 0 の変化を捉えます。

	D7	D6	D5	D4	D3	D2	D1	D0
WR2	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
WR3	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0

0：入力値 0 から 1 の変化
1：入力値 1 から 0 の変化

注意：入力変化有効設定後に本命令によって変化方向を変更した場合には、変更によって入力変化が1になる場合があります。本命令発行後に、E4h 命令によって変化情報をクリアしてください。

5.1.8. PCD入力変化方向設定

命令コード	命令	機 能
C7	**PCD 入力変化方向設定**	PC,PD ポートの各入力について、入力値 0 から 1 の変化を捉えるか、入力値 1 から 0 の変化を捉えるかを設定する。

WR2 レジスタには PC[7:0]入力について、WR3 レジスタには PD[7:0]入力について変化の方向を設定します。0 をセットすると入力値 0 から1の変化を捉えます。また、1 をセットすると入力値 1 から 0 の変化を捉えます。

	D7	D6	D5	D4	D3	D2	D1	D0
WR2	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
WR3	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0

0：入力値 0 から 1 の変化
1：入力値 1 から 0 の変化

注意：入力変化有効設定後に本命令によって変化方向を変更した場合には、変更によって入力変化が1になる場合があります。本発行後に、E4h 命令によって変化情報をクリアしてください。

5.1.9. 動作モード・割込み設定

命令コード	命令	機 能
C8	**動作モード･割込み設定**	同時出力･同時入力ラッチの有効、ストローブ信号の方向、割り込みの有効を設定する。

WR2 レジスタには各動作モードの有効/無効を設定し、WR3 レジスタには各割り込みの有効/無効を設定します。

	D7	D6	D5	D4	D3	D2	D1	D0
WR2	0	0	INSD	OTSD	SMI2	SMI1	SMO2	SMO1

動作モード設定

0：無効　1：有効

	D7	D6	D5	D4	D3	D2	D1	D0
WR3	0	0	0	0	TRN	OTS	INS	TIM

割込み設定

0：無効　1：有効

WR2/D0　SMO1　　同時出力1（ストローブ、命令）
この同時出力1ビットを有効にすると、WR4,5,6,7 に出力値を書いても、出力信号は変化しません。出力同時セット命令を書き込むか、OTSTB 信号の変化時（立ち上がりまたは立ち下がりを設定）に、WR4,5,6,7 に書き込んだ値が出力信号に反映されます。1 にすると有効になります。

WR2/D1　SMO2　　同時出力2（タイマ）
本ビットを有効にすると、WR4,5,6,7 に出力値を書いても、出力信号は変化しません。タイマを起動させ、タイマカウ

ンタが設定したタイマ値になった時に、WR4,5,6,7 に書き込んだ値が出力信号に反映されます。1 にすると有効になります。

WR2/D2 SMI1 入力同時ラッチ1（ストローブ、命令）

本ビットを有効にすると、全入力が、入力同時ラッチ命令または INSTB 信号の変化時（立ち上がりまたは立ち下がりを設定）に、内部に取り込まれます。取り込まれた値は次の入力ラッチ命令または INSTB の変化まで保持されます。1 にすると有効になります。

WR2/D3 SMI2 入力同時ラッチ2（タイマ）

本ビットを有効にすると、タイマを起動させ、タイマカウンタが設定したタイマ値になった時に、全入力が内部に取り込まれます。取り込まれた値は次の入力ラッチまで保持されます。1 にすると有効になります。

WR2/D4 OTSD OTSTB の方向

OTSTB 信号の立ち上がりを使用するか立ち下りを使用するか選択します。0 にすると立ち上がり、1 にすると立ち下りになります。

WR2/D5 INSD INSTB の方向

INSTB 信号の立ち上がりを使用するか立ち下りを使用するか選択します。0 にすると立ち上がり、1 にすると立ち下りになります。

WR3/D0 TIM タイマ割り込み有効

1 にセットするとタイマ割り込みが有効になります。タイマを起動させ、タイマがタイムアウトすると割り込み出力信号(INTN)が Low になります。また RR1 レジスタの D0 に1が立ちます。RR1 を読み出すと、割り込み出力信号は解除され（Hi-Z に戻る）、RR1 レジスタもクリアされます。タイマを連続起動させた場合には、タイムアウトごとに割り込みが発生しますので、その都度 RR1 を読み出す必要があります。

WR3/D1 INS INSTB 入力信号変化時の割り込み有効

1 にセットすると INSTB 入力信号変化時の割り込みが有効になります。INSTB 信号の変化方向（立ち上がり/立ち下り）の選択は、本命令において WR2/D5 で指定します。INSTB 入力信号が変化すると、割り込み出力信号(INTN)が Low になるとともに、RR1 レジスタの D1 に1が立ちます。RR1 を読み出すと、割り込み出力信号は解除され（Hi-Z に戻る）、RR1 レジスタもクリアされます。

注意：WR2/D2（SMI1）ビットを1にしないと、この割り込みは有効になりません。

WR3/D2 OTS OTSTB 入力信号変化時の割り込み有効

1 にセットすると OTSTB 入力信号変化時の割り込みが有効になります。OTSTB 信号の変化方向（立ち上がり/立ち下り）の選択は、本命令において WR2/D4 で指定します。OTSTB 入力信号が変化すると、割り込み出力信号(INTN)が Low になるとともに、RR1 レジスタの D2 に1が立ちます。RR1 を読み出すと、割り込み出力信号は解除され（Hi-Z に戻る）、RR1 レジスタもクリアされます。

注意：WR2/D0（SMO1）ビットを1にしないと、この割り込みは有効になりません。

WR3/D3 TRN 入力変化割り込み有効

1 にセットすると、C4,C5h 命令（PAB, PCD 入力変化有効設定）で有効にした入力信号の内、いずれかの信号が変化した時に割り込みが発生します。変化有効にした信号が変化（変化方向は C6h、C7h 命令で設定）すると、割り込み出力信号(INTN)が Low になります。あらかじめ E9h 命令（リードレジスタ表示選択5）を発行しておくと、RR4,5,6,7 レジスタに入力変化が表示されます。入力変化のあるレジスタを読み出すと、割り込みは解除され、その変化情報もクリアされます。

注意： WR2/D6,7 および WR3/D7～4 には、必ず0をセットしてください。

割り込みの確認と解除のまとめ

割り込み要因	有効設定	発生の確認	割り込みの解除
タイマ	C8h 命令 WR3/D0 =1	RR1/D0 （1で発生）	RR1 レジスタ読み出しで自動解除
入力同時ラッチ時の INSTB 入力信号変化	C8h 命令 WR2/D2 =1 と WR3/D1 =1	RR1/D1 （1で発生）	同上
出力同時セット時の OTSTB 入力信号変化	C8h 命令 WR2/D0 =1 と WR3/D2 =1	RR1/D2 （1で発生）	同上
入力変化	C8h 命令 WR3/D3 =1	RR4,5,6,7（1で発生）注1	RR4～7のうち変化したレジスタの読み出しで自動解除

注1：あらかじめ E9h 命令（リードレジスタ表示選択5）を発行しておくことが必要です。

5.2. データ読み出し命令

データ読み出し命令は、WR0 に命令コード書き込むと、RR2,3 に読み出しデータがセットされます。データ長が 1 バイトの場合には RR2 レジスタにセットされます。RR3（上位バイト）は0になります。データ書き込み命令によって本ICに設定されたデータを、データ読み出し命令ですべて読み出すことができます。

5.2.1. 設定データの読み出し

D0 から D8 の読み出し命令は、C0 から C8 の書き込み命令によってすでに設定されている値を RR2,RR3 レジスタに読み出すための命令です。読み出し命令実行後に RR2,3 レジスタに表示される値は、書き込み命令時に WR2,3 に書き込んだ値と同様ですので、対応する書き込み命令を参照してください。

命令コード	読み出し命令	機　能	対応する書き込み命令
D0	入/出力の指定と論理設定の読み出し	現在設定されている入/出力指定と入力論理設定を RR2,3 レジスタに表示する。	C0
D1	入力フィルタ指定の読み出し	現在設定されている入力フィルタ指定を RR2,3 レジスタに表示する。	C1
D2	設定フィルタ時定数の読み出し	現在設定されているフィルタ時定数1，2，3の値を RR2,3 レジスタに表示する。	C2
D3	設定タイマ値の読み出し	現在設定されているタイマの値を RR2,3 レジスタに表示する。	C3
D4	PAB 入力変化有効設定の読み出し	現在設定されている PA,PB 入力変化有効設定値を RR2,3 レジスタに表示する。	C4
D5	PCD 入力変化有効設定の読み出し	現在設定されている PC,PD 入力変化有効設定値を RR2,3 レジスタに表示する。	C5
D6	PAB 入力変化方向設定の読み出し	現在設定されている PA,PB 入力変化方向の値を RR2,3 レジスタに表示する。	C6
D7	PCD 入力変化方向設定の読み出し	現在設定されている PC,PD 入力変化方向の値を RR2,3 レジスタに表示する。	C7
D8	動作モード･割込み設定の読み出し	現在設定されている動作モード･割り込みの値を RR2,3 レジスタに表示する。	C8

5.2.2. リードレジスタ表示状態の読み出し

命令コード	命令	機　能
D9	リードレジスタ表示状態の読み出し	現在 RR4,5,6,7 レジスタが表示している状態を RR2 レジスタに表示する。

RR4,5,6,7 レジスタは、E5～E9h 命令の発行によって、表示内容が変わります。この D9h 命令は、現在 RR4,5,6,7 レジスタにはどの情報が表示されているかを確認するための命令です。本命令を実行すると、RR2 レジスタの D2～D0 ビットで、現在の表示状態を知ることができます。

	D7	D6	D5	D4	D3	D2	D1	D0
RR2	0	0	0	0	0			

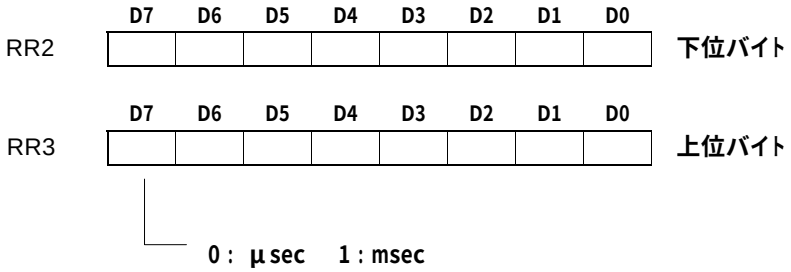
RR4,5,6,7 の表示状態

D2,1,0 の値	現在 RR4,5,6,7 レジスタが表示している状態
0 0 0	リアル入力＋出力
0 0 1	リアル入力
0 1 0	ラッチ入力
0 1 1	出力
1 0 0	入力変化

5.2.3. 動作タイマ値読み出し

命令コード	命令	機 能
DA	**動作タイマ値読み出し**	現在動作中のタイマ値を読み出す。

本命令を WR0 レジスタに書き込むと、RR2,3 レジスタに現在動作中のタイマ値がセットされます。RR2 が下位バイトで、RR3 が上位バイトです。RR3 の D7 ビットには時間単位が表示されます（CLK=16MHz 時）。



タイマが停止している時は、0が表示されます。

5.3. その他の命令

その他の命令は、WR0 にその命令コードを書き込むと実行されます。

5.3.1. タイマ単一起動

命令コード	命令	機 能
E0	**タイマ単一起動**	タイマ 1 回動作を起動する。

本命令が書き込まれると、タイマ･カウンタが0からカウントアップを開始します。カウントがタイマ設定値（C3h 命令で設定した値）になるとタイマ動作を終了（タイムアウト）します。動作中のカウント値は読み出すことができます。

タイマ割込みを有効にしておくとタイマ終了時に割込みが発生します。また、入力同時ラッチや同時出力をタイマのタイムアウトで行なわせることができます。これらの動作を行なわせる場合には、本命令を書き込む前に動作モード･割り込み設定命令でそれらの動作を有効にしてください。

5.3.2. タイマ連続起動

命令コード	命令	機 能
E1	**タイマ連続起動**	タイマ連続動作を起動する。

本命令が書き込まれると、タイマ･カウンタが0からカウントアップを開始します。カウントがタイマ設定値に到達しカウントアウトするとカウンタは0にクリアされ、連続的に動作します。この動作を停止させるには、タイマ停止命令(E2h)、またはタイマサイクル停止命令(E3h)を発行します。

カウントアウト時のタイマ割り込み、入力同時ラッチや同時出力も、タイマ単一起動と同様に行なわせることができます。

5.3.3. タイマ停止

命令コード	命令	機 能
E2	**タイマ停止**	タイマを停止させる。

本命令が書き込まれると、動作中のタイマカウントが停止します。一旦本命令で停止させ、再度タイマを起動した場合には、タイマカウンタは0からの開始になります。

5.3.4. タイマサイクル停止

命令コード	命令	機 能
E3	**タイマサイクル停止**	タイマを周期完了で停止させる。

本命令は、タイマ連続起動で動作させたタイマをタイマ設定値に到達させカウントアウトで停止させたい場合に発行します。タイマ単一起動の場合に本命令を発行しても意味がありません。

5.3.5. 入力変化情報クリア

命令コード	命令	機 能
E4	**入力変化情報クリア**	RR4,5,6,7 レジスタが”入力変化“表示のとき、すべての入力変化情報をクリアする。

入力変化の情報は、RR4,5,6,7 レジスタが”入力変化“表示のとき、これらのレジスタを読み出すことにより、取得することができます。それぞれのレジスタを読み出すとレジスタ単位（= ポート単位）で、変化情報はクリアされます。本命令は全ポートの変化情報をまとめてクリアします。
本命令は、RR4,5,6,7 レジスタが”入力変化“表示状態のとき有効です。他の表示状態の時には、本命令を発行してもクリアされません。

5.3.6. リードレジスタ表示選択1 ---- リアル入力＋出力

命令コード	命令	機 能
E5	**リードレジスタ表示選択1**	RR4,5,6,7 レジスタを、リアル入力＋出力の表示状態にする。

RR4,5,6,7 レジスタには、5 種類の情報を切り替えて表示させることができます。本命令を発行すると“リアル入力＋出力”が表示されます。この命令は、RR4,5,6,7 レジスタを読み出すたびに発行する必要はありません。次に E5～E9h 命令が発行されるまで、この表示選択は有効です。RR4,5,6,7 レジスタの詳細は、4.7 節を参照してください。

5.3.7. リードレジスタ表示選択2 ---- リアル入力

命令コード	命令	機 能
E6	**リードレジスタ表示選択2**	RR4,5,6,7 レジスタを、リアル入力の表示状態にする。

RR4,5,6,7 レジスタには、5 種類の情報を切り替えて表示させることができます。本命令を発行すると“リアル入力”が表示されます。この命令は、RR4,5,6,7 レジスタを読み出すたびに発行する必要はありません。次に E5～E9h 命令が発行されるまで、この表示選択は有効です。RR4,5,6,7 レジスタの詳細は、4.7 節を参照してください。

5.3.8. リードレジスタ表示選択3 ---- ラッチ入力

命令コード	命令	機 能
E7	**リードレジスタ表示選択3**	RR4,5,6,7 レジスタを、ラッチ入力の表示状態にする。

RR4,5,6,7 レジスタには、5 種類の情報を切り替えて表示させることができます。本命令を発行すると“ラッチ入力”が表示されます。この命令は、RR4,5,6,7 レジスタを読み出すたびに発行する必要はありません。次に E5～E9h 命令が発行されるまで、この表示選択は有効です。RR4,5,6,7 レジスタの詳細は、4.7 節を参照してください。

5.3.9. リードレジスタ表示選択4 ---- 出力

命令コード	命令	機 能
E8	**リードレジスタ表示選択4**	RR4,5,6,7 レジスタを、出力の表示状態にする。

RR4,5,6,7 レジスタには、5 種類の情報を切り替えて表示させることができます。本命令を発行すると“出力”が表示されます。この命令は、RR4,5,6,7 レジスタを読み出すたびに発行する必要はありません。次に E5～E9h 命令が発行されるまで、この表示選択は有効です。RR4,5,6,7 レジスタの詳細は、4.7 節を参照してください。

5.3.10. リードレジスタ表示選択5 ---- 入力変化

命令コード	命令	機 能
E9	**リードレジスタ表示選択5**	RR4,5,6,7 レジスタを、入力変化の表示状態にする。

RR4,5,6,7 レジスタには、5 種類の情報を切り替えて表示させることができます。本命令を発行すると“入力変化”が表示されます。この命令は、RR4,5,6,7 レジスタを読み出すたびに発行する必要はありません。次に E5～E9h 命令が発行されるまで、この表示選択は有効です。RR4,5,6,7 レジスタの詳細は、4.7 節を参照してください。

5.3.11. 入力同時ラッチ

命令コード	命令	機 能
EA	**入力同時ラッチ**	入力に指定されているすべての入力を同時にラッチする。

本命令を発行すると、入力に指定されているすべての入力について、フィルタ通過･論理設定後の値が同時にラッチされます。ただし、事前に動作モード･割り込み設定命令(C8h)で、WR2/D2（入力同時ラッチ1）ビットを1(有効)にしておく必要があります。
ラッチされた入力値は、リードレジスタ表示選択3命令(E7h)で RR4,5,6,7 レジスタを入力ラッチ表示に切り替えておくと、これらのレジスタから読み出すことができます。

5.3.12. 出力同時セット

命令コード	命令	機 能
EB	**出力同時セット**	WR4,5,6,7 レジスタに書き込まれたデータを同時に信号出力する。

本命令を発行すると、WR4,5,6,7 レジスタに書き込まれた出力データが、同時に各ポートの出力信号としてセットされます。ただし、事前に動作モード･割り込み設定命令(C8h)で、WR2/D0（同時出力1）ビットを1(有効)にしておかなければなりません。

6. 独立モード

IMODEN 入力信号を Low にすると、本ICは、独立モードで動作します。
独立モードでは、図 1.10 に示すように、PA と PB ポートが入力となり、それらの入力信号はIC内部の積分フィルタを経由して、それぞれ PC と PD ポートに出力されます。積分フィルタの時定数は、PA ポート下位信号用、PA ポート上位信号用 PB ポート信号用の 3 種類あり、それぞれ異なる時定数を設定できます。時定数を設定のために、それぞれ 4 点の入力信号が用意されています。遅延時間1μsec ～ 32msec（CLK=16MHz 時）の範囲を 16 段階で設定することできます。

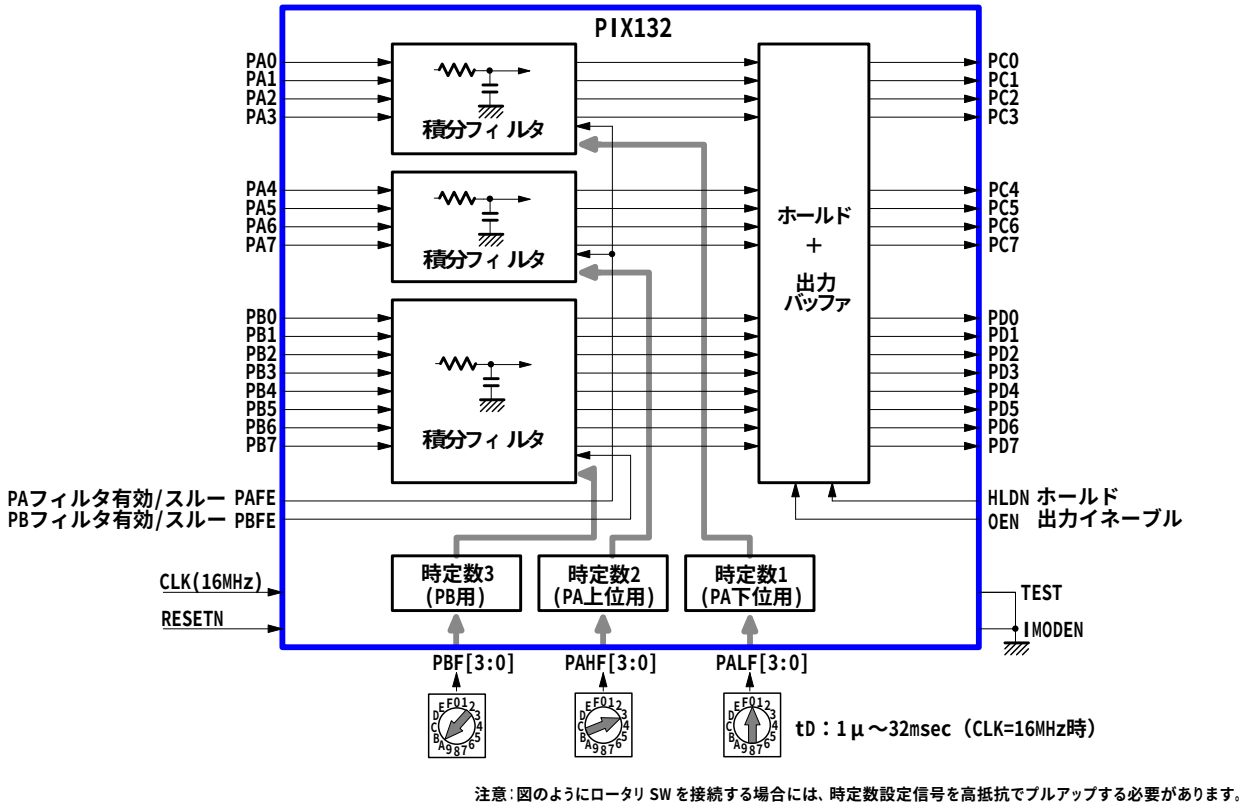


図 1.10 独立モードの動作

時定数の設定

PA ポート下位（PA[3:0]）用フィルタ時定数の設定には、PALF[3:0]の 4 点の入力信号を使用します。PA ポート上位（PA[7:4]）用フィルタ時定数の設定には、PAHF[3:0]の 4 点の入力信号を使用します。また、PB ポート（PB[7:0]）用フィルタ時定数の設定には、PBF[3:0]の 4 点の入力信号を使用します。それぞれの時定数は、下表に示すように、設定用入力信号を Hi/Low レベルで指定することにより設定されます。

設定入力信号のレベル				信号遅延時間	設定入力信号のレベル				信号遅延時間
PALF3	PALF2	PALF1	PALF0	（CLK=16MHz 時）	PALF3	PALF2	PALF1	PALF0	（CLK=16MHz 時）
PAHF3	PAHF2	PAHF1	PAHF0		PAHF3	PAHF2	PAHF1	PAHF0	
PBF3	PBF2	PBF1	PBF0		PBF3	PBF2	PBF1	PBF0	
Low	Low	Low	Low	1 μsec	Hi	Low	Low	Low	0.256 msec
Low	Low	Low	Hi	2 μsec	Hi	Low	Low	Hi	0.512 msec
Low	Low	Hi	Low	4 μsec	Hi	Low	Hi	Low	1.02 msec
Low	Low	Hi	Hi	8 μsec	Hi	Low	Hi	Hi	2.05 msec
Low	Hi	Low	Low	16 μsec	Hi	Hi	Low	Low	4.10 msec
Low	Hi	Low	Hi	32 μsec	Hi	Hi	Low	Hi	8.19 msec
Low	Hi	Hi	Low	64 μsec	Hi	Hi	Hi	Low	16.4 msec
Low	Hi	Hi	Hi	128 μsec	Hi	Hi	Hi	Hi	32.8 msec

信号遅延時間は標準値です。 標準値×0.875 ～ 標準値＋80nsec の範囲で変動します。

フィルタ有効/スルー
PAFE、PBFE 入力信号は、フィルタの有効/無効(スルー)を選択するための入力信号です。PAFE 入力信号を Hi レベルにすると PA ポート(PA[7:0])の信号は積分フィルタを経由して PC ポート(PC[7:0])に出力されます。Low レベルすると PA ポートの信号はフィルタなしで直接 PC ポートに出力されます。PBFE 入力信号は、同様に PB ポートの信号のための選択信号です。PBFE 入力信号を Hi レベルにすると PB ポート(PB[7:0])の信号は積分フィルタを経由して PD ポート(PD[7:0])に出力されます。Low レベルすると PB ポートの信号はフィルタなしで直接 PD ポートに出力されます。
無効/有効切り替え時の注意:フィルタ無効(スルー)時には、IC内のフィルタ演算が停止しています。そのため、無効から有効に切り替えた時に、最大でフィルタの遅延時間の期間、無効にする前のレベルが出力されます。

出力のイネーブル
OEN 信号は、PC,PD 出力ポートをイネーブルにする入力信号です。OEN 信号を Low にすると PC,PD 出力信号がイネーブル(有効)になります。Hi レベルのときは PC,PD 出力はハイインピーダンスになります。

出力のホールド
PC,PD ポート出力をホールド状態に保つことができます。HLDN 入力信号を Low レベルにすると PC,PD ポート出力がホールドされます。Hi に戻すと PC,PD 出力は再びフリーラン状態になり、フィルタ通過後の PA,PB 信号が出力されます。

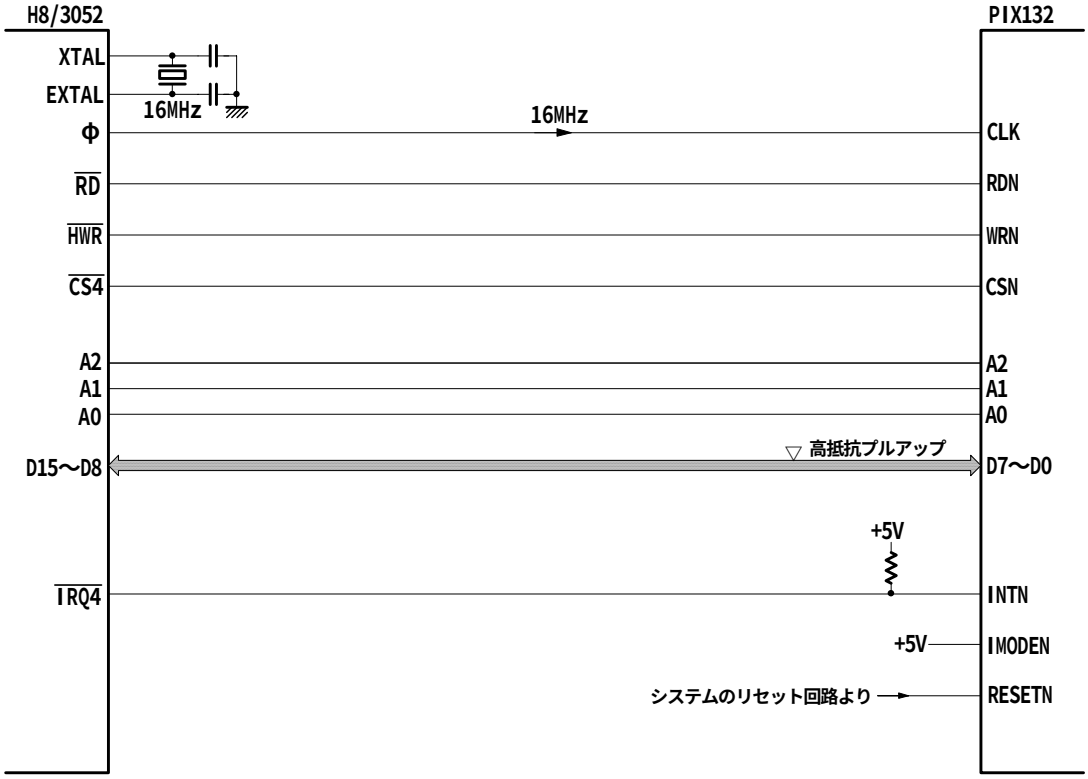
独立モード時の注意:

(1) IMODEN、INTN/TEST 入力信号は、必ず Low(GND と短絡)にしてください。
(2) CLK 信号は必ず入力する必要があります。CLK が入力されていないとフィルタは動作しません。CLK 周波数が 16MHz 以外の場合には、フィルタの時定数が変わります。
(3) 独立モード時の RESETN 信号の働き: RESETN 信号が Low レベル時には、PC,PD ポート出力は PA,PB ポート入力信号に関わりなく Low レベルになります。その後 RESETN 信号が Hi レベルに戻ると、設定されている時定数の遅延時間後に PA,PB ポートの入力信号レベルが PC,PD ポート出力に現れます。
(4) PBF3～0 信号の端子並びが順番になっていません。プリント基板のパターン設計時には、ご注意ください。

7. 応用例

7.1. ＣＰＵ接続例

Renesas 社製 H8/3052 と PIX132 の接続例を下記の示します。



7.2. プログラミング例

■設定例1　　入力24/出力8の設定例。

ポート A(8 点)　入力、積分フィルタ無効（スルー）、正論理
ポート B(8 点)　入力、積分フィルタ有効（遅延 128μsec）、負論理
ポート C(8 点)　入力、積分フィルタ有効（上位 4 点：遅延1μsec、下位 4 点：遅延4μsec）、負論理
ポート D(8 点)　出力

初期設定	入/出力設定と入力	WR2 ← C0h	; PA,PB,PC：入力、PD：出力
	信号の論理設定	WR3 ← 3Ch	; PA：正論理、PB,PC：負論理
		WR0 ← C0h	;
	フィルタ時定数設定	WR2 ← 20h	; 時定数 1：遅延 1μ、時定数 2：遅延 4μ
		WR3 ← 07h	; 時定数３：遅延 128μsec
		WR0 ← C2h	;
	入力フィルタ設定	WR2 ← F0h	; PA：スルー、PB：時定数３
		WR3 ← 06h	; PC 上位：時定数１、下位：時定数２
		WR0 ← C1h	;
	RR4,5,6 表示切替え	WR0 ← E5h	; リアル入力＋出力選択
入力値読出し		RR4 → PA 入力値	; 0:Low,1:Hi レベル
		RR5 → PB 入力値	; 0:Hi,1:Low レベル
		RR6 → PC 入力値	; 0:Hi,1:Low レベル
出力値設定		WR7 ← PD 出力値	; 0:Low,1:Hi レベル

ビット指定出力	ビット指定０出力	WR0 ← 1Ah	；PD2 信号を Low にする。
	ビット指定１出力	WR1 ← 1Ah	；PD2 信号を Hi にする。
出力値の読出し		RR7 → PD 出力値	；現在の出力設定値を読み出す。

ただし CLK=16MHz とする。

■設定例2　　同時出力の例

内蔵タイマを利用して、1msec 毎に 32 点の出力を同時セットする。(CLK=16MHz)
CPU からは、割り込みによって次の出力データを PIX132 に書き込む。

初期設定	入/出力設定と入力	WR2 ← FFh	；PA,PB,PC,PD：すべて出力
	信号の論理設定	WR3 ← 00h	；入力信号の論理設定は意味なし。
		WR0 ← C0h	；
	タイマ値設定	WR2 ← E8h	；1000μ ＝ 1msec
		WR3 ← 03h	；
		WR0 ← C3h	；
	動作モード設定	WR2 ← 02h	；タイマによる同時出力セット有効
		WR3 ← 01h	；タイマ割込み有効
		WR0 ← C8h	
第一出力値書込み		WR4 ← PA 出力値	；動作モード設定で、タイマによる
		WR5 ← PB 出力値	；同時出力セットを有効にしている
		WR6 ← PC 出力値	；ので、ここではまだ出力されない。
		WR7 ← PD 出力値	
タイマ連続起動		WR0 ← E1h	

割込み処理	RR1 →割込み要因	；割込み要因リード。INTN 信号解除
	WR4 ← PA 出力値	；次の出力データの書込み。
	WR5 ← PB 出力値	
	WR6 ← PC 出力値	
	WR7 ← PD 出力値	

■設定例3　　入力同時ラッチの例

内蔵タイマを利用して、10msec 毎に 32 点の入力を同時ラッチし、データを読み取る。

初期設定	入/出力設定と入力	WR2 ← 00h	；PA,PB,PC,PD：すべて入力
	信号の論理設定	WR3 ← 00h	；入力信号の論理設定
		WR0 ← C0h	；
	タイマ値設定	WR2 ← 0Ah	；10msec
		WR3 ← 80h	；
		WR0 ← C3h	；
	動作モード設定	WR2 ← 08h	；タイマによる同時入力ラッチ有効
		WR3 ← 01h	；タイマ割込み有効
		WR0 ← C8h	
	リードレジスタ表示	WR0 ← E7h	；RR4～7 ラッチ入力を表示
タイマ連続起動		WR0 ← E1h	

割込み処理	RR1 →割込み要因	; 割込み要因リード。INTN 信号解除
	RR4 → PA 入力値	; タイムアウトで同時ラッチされた入力値
	RR5 → PB 入力値	; を読み出す。
	RR6 → PC 入力値	
	RR7 → PD 入力値	

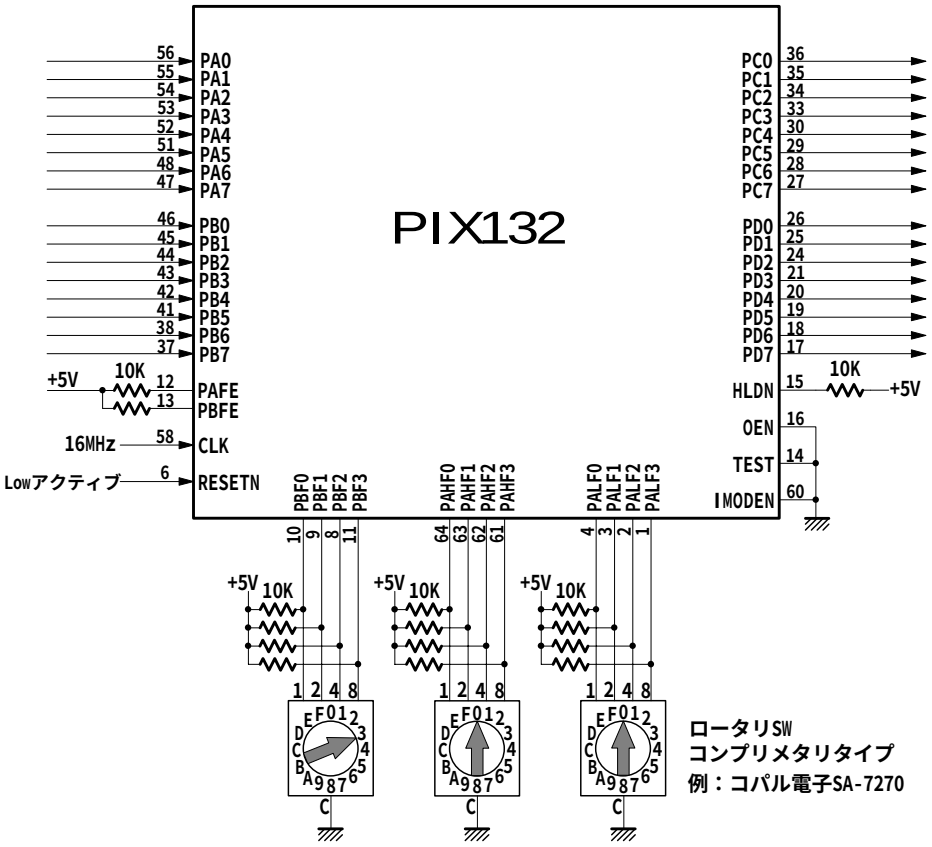
■設定例4　　入力変化の例

32 点すべての入力変化を監視し、いずれかの入力が変化したら CPU に割り込みを発生させる。

初期設定	入/出力設定と入力信号の論理設定	WR2 ← 00h	; PA,PB,PC,PD : すべて入力
		WR3 ← 00h	; 入力信号の論理設定　0:Low 1:Hi
		WR0 ← C0h	;
	PA,PB 方向の設定	WR2 ← 00h	; 0→1 変化を捉える。
		WR3 ← 00h	
		WR0 ← C6h	
	PC,PD 方向の設定	WR2 ← 00h	; 0→1 変化を捉える。
		WR3 ← 00h	
		WR0 ← C7h	
	PA,PB 有効の設定	WR2 ← FFh	;
		WR3 ← FFh	
		WR0 ← C4h	
	PC,PD 有効の設定	WR2 ← FFh	;
		WR3 ← FFh	
		WR0 ← C5h	
	リードレジスタ表示	WR0 ← E9h	; RR4～7 入力変化を表示
	入力変化情報クリア	WR0 ← E4h	; 初期クリア
	割込みの設定	WR2 ← 00h	;
		WR3 ← 08h	; 入力変化割込み有効
		WR0 ← C8h	

割込み処理	RR4 → PA 変化値	; 変化している信号は 1 を示す。一度読み
	RR5 → PB 変化値	; 出すと、変化情報はクリアされる。
	RR6 → PC 変化値	; 変化している信号がすべて読み出される
	RR7 → PD 変化値	; と INTN 信号は解除される。

7.3. 独立モード接続例



注意:

(1) IMODEN と TEST 端子は、必ず GND に接続します。

(2) PBF3,2,1,0 は、端子の並びが順番になっていません。

8. 電気的特性

8.1. ＤＣ特性

■ 絶対最大定格

項 目	記号	定 格	単位
電源電圧	V_{DD}	-0.3 ～ +6.5	V
入力電圧	V_{IN}	-0.3 ～ V_{DD}+0.3	V
入力電流	I_{IN}	±10	mA
保存温度	T_{STG}	-40 ～ +125	℃

■ 推奨動作条件

項 目	記号	定 格	単位
電源電圧	V_{DD}	3.0 ～ 5.5	V
周囲温度	Ta	-40 ～ +85	℃

■ ＤＣ特性１ (V_{DD} = 5V 時)

（ Ta = -40 ～ +85℃, V_{DD} = 5V±10% ）

項 目	記号	条 件	最小	標準	最大	単位	備 考
高レベル入力電圧	V_{IH}		2.0		V_{DD}+0.3	V	
低レベル入力電圧	V_{IL}		-0.5		0.76	V	
高レベル入力電流	I_{IH}	V_{IN} = V_{DD}			100	μA	
低レベル入力電流	I_{IL}	V_{IN} = 0V	-100			μA	入力A信号以外 注１
		V_{IN} = 0V	-250		-20	μA	入力A信号 注１
高レベル出力電圧	V_{OH}	I_{OH} = -100μA	V_{DD}-0.2			V	
		I_{OH} = -8mA	3.7			V	
低レベル出力電圧	V_{OL}	I_{OL} = 100μA			0.2	V	
		I_{OL} = 8mA			0.44	V	
出力リーク電流	I_{OZ}	V_{OUT}=V_{DD} or 0V	-100		100	μA	
シュミットトリガ ヒステリシス電圧	V_H		0.2			V	
消費電流	I_{DD}	I_{IO}=0mA,CLK=16MHz		23	30	mA	
		I_{IO}=0mA,CLK=33MHz		53	67	mA	

注１：入力A信号 (CLK,IMODEN,A2,A1,A0,CSN,WRN,RDN,RESETN,INSTB,OTSTB)

■ ＤＣ特性２ (V_{DD} = 3.3V 時)

（ Ta = -40 ～ +85℃, V_{DD} = 3.3V±10% ）

項 目	記号	条 件	最小	標準	最大	単位	備 考
高レベル入力電圧	V_{IH}		2.0		V_{DD}+0.3	V	
低レベル入力電圧	V_{IL}		-0.3		0.7	V	
高レベル入力電流	I_{IH}	V_{IN} = V_{DD}			10	μA	
低レベル入力電流	I_{IL}	V_{IN} = 0V	-10			μA	入力A信号以外 注１
		V_{IN} = 0V	-160		-10	μA	入力A信号 注１
高レベル出力電圧	V_{OH}	I_{OH} = -100μA	V_{DD}-0.2			V	
		I_{OH} = -4mA	2.35			V	
低レベル出力電圧	V_{OL}	I_{OL} = 100μA			0.2	V	
		I_{OL} = 4mA			0.44	V	
出力リーク電流	I_{OZ}	V_{OUT}=V_{DD} or 0V	-10		10	μA	
シュミットトリガ ヒステリシス電圧	V_H		0.1			V	
消費電流	I_{DD}	I_{IO}=0mA,CLK=16MHz		12	16	mA	
		I_{IO}=0mA,CLK=33MHz		28	35	mA	

注１：入力A信号 (CLK,IMODEN,A2,A1,A0,CSN,WRN,RDN,RESETN,INSTB,OTSTB)

■ 端子容量

項 目	記号	条 件	最小	標準	最大	単位	備 考
入力端子容量	C_I	Ta=25℃, f=1MHz		6		pF	入力A信号
入出力端子容量	C_{IO}			10		pF	入力A信号以外

8.2. ＡＣ特性

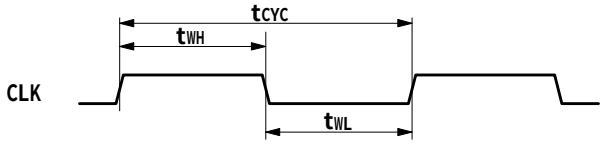
8.2.1. 測定条件

周囲温度: -40 ～ +85℃
出力負荷: D[7:0]: 85pF、 それ以外の出力: 50pF
タイミング閾値電圧: すべての入/出力信号について VDD×0.5 (VDD=5V 時は 2.5V、VDD=3.3V 時は 1.65V)
入力遷移時間: 1nsec/5V

8.2.2. クロック

VDD = 3.0 ～ 5.5V

記号	項目	最小	標準	最大	単位
fCLK	CLK 周波数		16	33	MHz
tCYC	CLK 周期	30	62.5		ns
tWH	CLK Hi レベル幅	10			ns
tWL	CLK Low レベル幅	10			ns

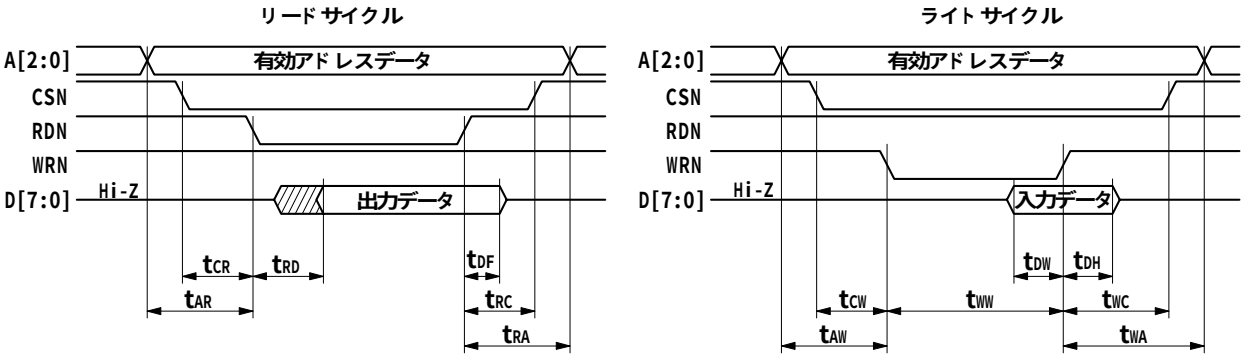


8.2.3. リセット信号幅

VDD = 3.0 ～ 5.5V

記号	項目	最小	標準	最大	単位
tRS	RESETN パルス幅	10			ns

8.2.4. CPU リードライトサイクル



(1) VDD = 5.0V±10%

記号	項　　目	最小	最大	単位
tAR	アドレスセットアップ時間 (to RDN↓)	0		ns
tCR	CSN セットアップ時間 (to RDN↓)	0		ns
tRD	出力データ遅延時間 (from RDN↓)		32	ns
tDF	出力データ保持時間 (from RDN↑)	0		ns
tRC	CSN 保持時間 (from RDN↑)	0		ns
tRA	アドレス保持時間 (from RDN↑)	0		ns
				ns
tAW	アドレスセットアップ時間 (to WRN↓)	0		ns
tCW	CSN セットアップ時間 (to WRN↓)	0		ns
tWW	WRN Low レベルパルス幅	20		ns
tDW	入力データセットアップ時間 (to WRN↑)	15		ns
tDH	入力データ保持時間 (from WRN↑)	0		ns
tWC	CSN 保持時間 (from WRN↑)	0		ns
tWA	アドレス保持時間 (from WRN↑)	0		ns

(2) VDD = 3.3V±10%

記号	項　　目	最小	最大	単位
tAR	アドレスセットアップ時間 (to RDN↓)	0		ns
tCR	CSN セットアップ時間 (to RDN↓)	0		ns
tRD	出力データ遅延時間 (from RDN↓)		51	ns
tDF	出力データ保持時間 (from RDN↑)	0		ns
tRC	CSN 保持時間 (from RDN↑)	0		ns
tRA	アドレス保持時間 (from RDN↑)	0		ns
				ns
tAW	アドレスセットアップ時間 (to WRN↓)	0		ns
tCW	CSN セットアップ時間 (to WRN↓)	0		ns
tWW	WRN Low レベルパルス幅	30		ns
tDW	入力データセットアップ時間 (to WRN↑)	20		ns
tDH	入力データ保持時間 (from WRN↑)	0		ns
tWC	CSN 保持時間 (from WRN↑)	0		ns
tWA	アドレス保持時間 (from WRN↑)	0		ns

8.2.5. ポート入力遅延

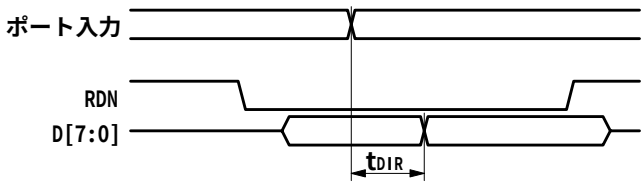
積分フィルタを無効にし、ポート信号 PA[7:0]、PB[7:0]、PC[7:0]、PD[7:0]を、リアル入力で RR4～7レジスタから読み込んだときの遅延時間を示します。

(1) VDD = 5.0V±10%

記号	項目	最小	最大	単位
tDIR	入力伝搬遅延時間		34	ns

(2) VDD = 3.3V±10%

記号	項目	最小	最大	単位
tDIR	入力伝搬遅延時間		54	ns



8.2.6. ポート出力遅延

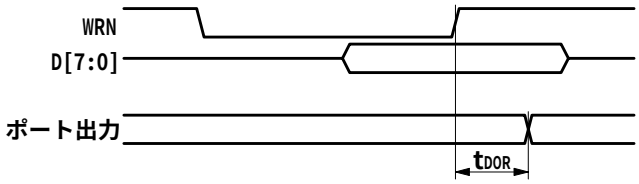
WR4～7レジスタに出力データを書き込んで、ポート信号 PA[7:0]、PB[7:0]、PC[7:0]、PD[7:0]を出力セットするときの遅延時間を示します。

(1) VDD = 5.0V±10%

記号	項目	最小	最大	単位
tDOR	出力伝搬遅延時間		28	ns

(2) VDD = 3.3V±10%

記号	項目	最小	最大	単位
tDOR	出力伝搬遅延時間		44	ns



8.2.7. ビット指定出力遅延

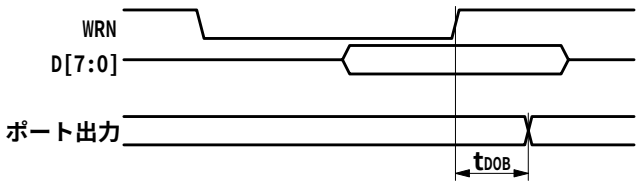
WR0,1 レジスタに出力指定番号を書き込んで、ポート信号 PA[7:0]、PB[7:0]、PC[7:0]、PD[7:0]をビット指定出力するときの遅延時間を示します。

(1) VDD = 5.0V±10%

記号	項目	最小	最大	単位
tDOB	出力伝搬遅延時間		28	ns

(2) VDD = 3.3V±10%

記号	項目	最小	最大	単位
tDOB	出力伝搬遅延時間		44	ns

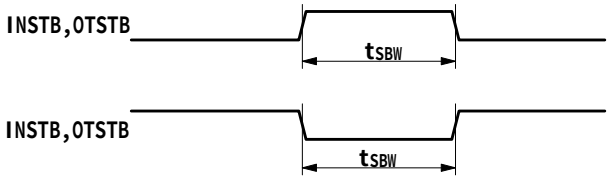


8.2.8. ストローブ信号幅

INSTB 信号および OTSTB 信号の有効パルス幅を示します。

VDD = 3.0 ～ 5.5V

記号	項目	最小	最大	単位
tSBW	INSTB,OTSTB 有効パルス幅	10		ns

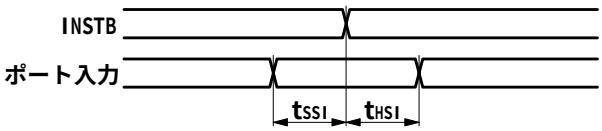


8.2.9. 入力同時ラッチタイミング

入力同時ラッチ動作時における、INSTB 信号の立上がりまたは立下りに対する入力信号のセットアップ･ホールドタイミングを示します。

(1) VDD = 5.0V±10%

記号	項目	最小	最大	単位
tSSI	入力信号セットアップ時間	7		ns
tHSI	入力信号ホールド時間	18		ns



(2) VDD = 3.3V±10%

記号	項目	最小	最大	単位
tSSI	入力信号セットアップ時間	7		ns
tHSI	入力信号ホールド時間	23		ns

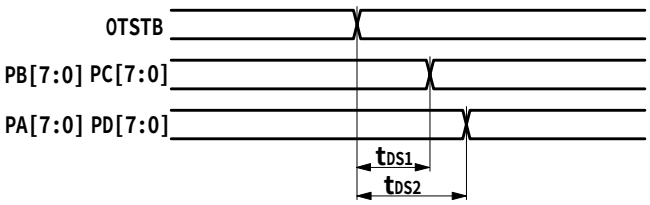
・ 命令(EAh)による入力同時ラッチの場合には、命令書込み時の WRN 信号↑から最小 1CLK、最大 2CLK 後の CLK↑に対する値となります。
・ タイマによる入力同時ラッチの場合には、タイムアウトした時の CLK↑に対する値となります。

8.2.10. 出力同時セット遅延

出力同時セット動作時における、OTSTB 信号の立上がりまたは立下りに対するポート出力信号セットの遅延時間を示します。

(1) VDD = 5.0V±10%

記号	項目	最小	最大	単位
tDS1	PB,PC ポート出力遅延時間		34	ns
tDS2	PA,PD ポート出力遅延時間		45	ns



(2) VDD = 3.3V±10%

記号	項目	最小	最大	単位
tDS1	PB,PC ポート出力遅延時間		53	ns
tDS2	PA,PD ポート出力遅延時間		71	ns

・ 同時スイッチングによる誤動作を避けるため、PA, PD ポート出力は、PB, PC ポート出力より 7nsec(5Vtyp.値)遅らせています。
・ 命令(EBh)による出力同時セットの場合には、命令書込み時の WRN 信号↑から最小 1CLK、最大 2CLK 後の CLK↑に対する値となります。
・ タイマによる出力同時セットの場合には、タイムアウトした時の CLK↑に対する値となります。

8.2.11. 割込み遅延

(1) VDD = 5.0V±10%

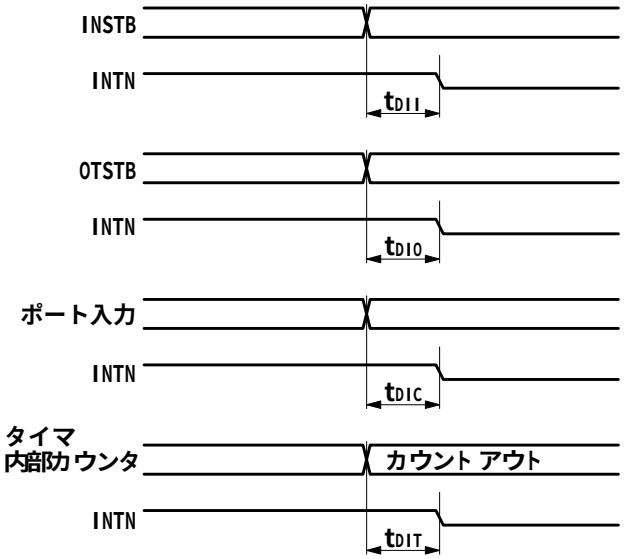
記号	項目	最小	最大	単位
tDII	INSTB 割込み遅延時間		39	ns
tDIO	OTSTB 割込み遅延時間		38	ns
tDIC	入力変化割込み遅延時間		tcyc+40	ns
tDIT	タイマ割込み遅延時間		40	ns

tCYC は CLK の1周期時間です。

(2) VDD = 3.3V±10%

記号	項目	最小	最大	単位
tDII	INSTB 割込み遅延時間		61	ns
tDIO	OTSTB 割込み遅延時間		59	ns
tDIC	入力変化割込み遅延時間		tcyc+62	ns
tDIT	タイマ割込み遅延時間		62	ns

tCYC は CLK の1周期時間です。



8.2.12. 独立モード時の遅延

(1) VDD = 5.0V±10%

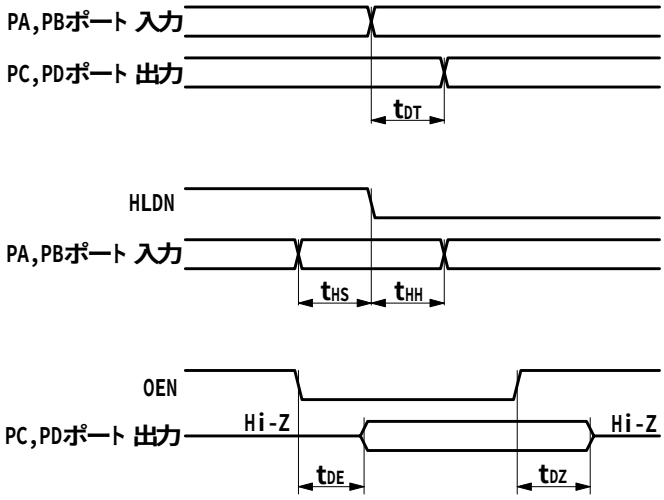
記号	項目	最小	最大	単位
tDT	入出力伝搬遅延時間 注1		27	ns
tHS	HLDN セットアップ時間	5		ns
tHH	HLDN ホールド時間	10		ns
tDE	OEN 出力遅延時間		30	ns
tDZ	OEN 出力Z遅延時間		10	ns

注 1：フィルタは、無効（スルー）にしています。

(2) VDD = 3.3V±10%

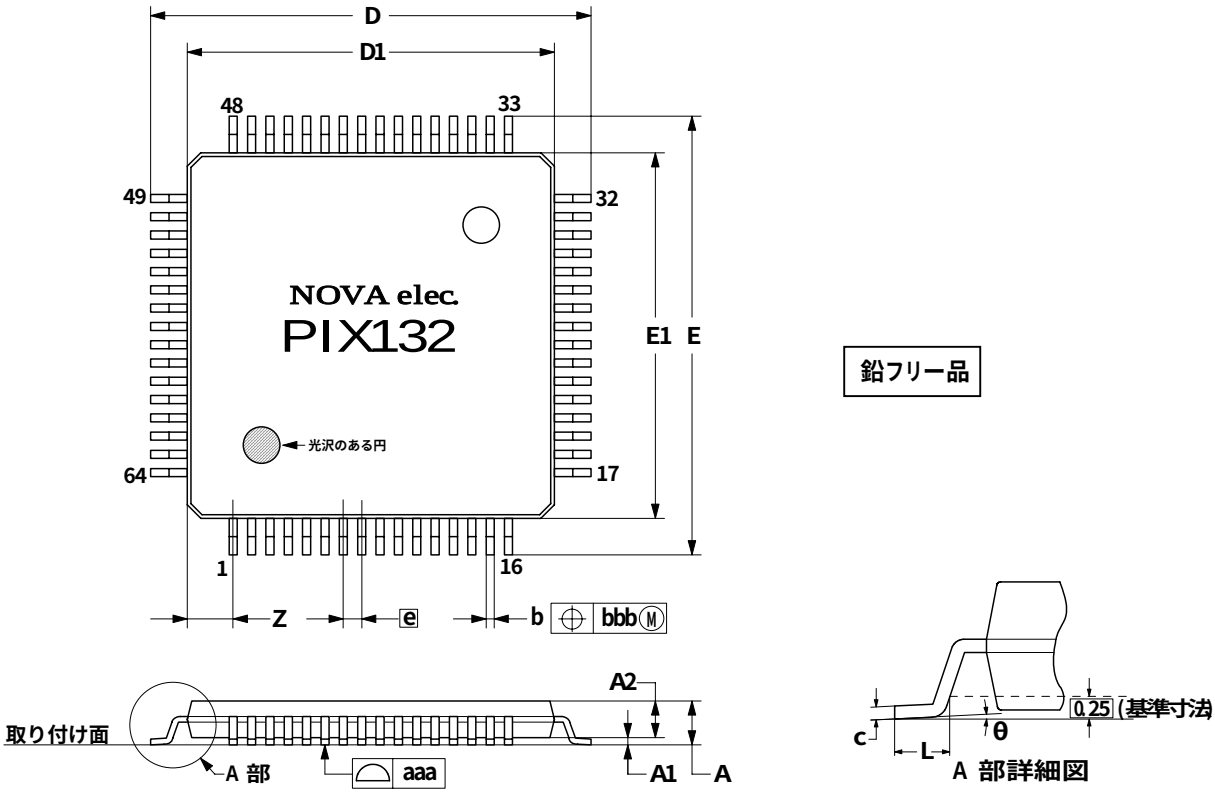
記号	項目	最小	最大	単位
tDT	入出力伝搬遅延時間 注1		42	ns
tHS	HLDN セットアップ時間	8		ns
tHH	HLDN ホールド時間	12		ns
tDE	OEN 出力遅延時間		47	ns
tDZ	OEN 出力Z遅延時間		16	ns

注 1：フィルタは、無効（スルー）にしています。



9. 外形寸法

単位:mm



鉛フリー品

記号	寸法 mm			説明
	最小	標準	最大	
A	ー	ー	1.2	取り付け面からパッケージ本体最上端部までの高さ
A1	0	ー	0.25	取り付け面からパッケージ本体下端までの高さ
A2	0.95	1.0	1.05	パッケージ本体の上端から下端までの高さ
b	0.15	0.22	0.28	端子の幅
c	0.12	0.17	0.22	端子の厚さ
D	11.8	12.0	12.2	端子を含むパッケージ長さ方向の最大長
D1	9.9	10.0	10.1	端子を除くパッケージ本体の長さ
E	11.8	12.0	12.2	端子を含むパッケージ幅方向の最大長
E1	9.9	10.0	10.1	端子を除くパッケージ本体の幅
e		0.5		端子ピッチ基準寸法
L	0.45	0.6	0.75	取り付け面に接触する端子の平たん部長さ
Z		1.25 TYP.		最外部の端子の中心位置からパッケージ本体の最外端部までの長さ
θ	0°	ー	10°	取り付け面に対する端子平たん部角度
aaa		0.10		端子最下面の均一性(垂直方向の許容値)
bbb		0.10		端子中心位置の誤差の許容値(水平方向)

10. PIX132 の保管と推奨実装条件

10.1 本ICの保管について

本ICの保管に際しては以下の項目に対してご注意願います。
(1) 投げたり落としたりしないでください。包装材が破れて機密性が損なわれる場合があります。
(2) 保管は、防湿梱包未開封の状態で40℃以下、85%RH 以内の環境とし、12ヶ月以内にご使用下さい。
(3) 有効期限が過ぎた場合には、排湿処理として125℃±5℃で24時間のベーキング(ベーク可能回数:5回まで)を実施してください。また、有効期限内においても防湿梱包の気密が損なわれた場合には排湿処理を行ってください。
(4) 排湿処理の実施に際しては、静電気によるデバイスの破壊防止を行って下さい。
(5) 防湿梱包開封後は、5～30℃、一日平均30～60%RH 以内の環境条件下で保管し、7日以内での実装をお願いします。なお、上記許容放置期間を過ぎたICにつきましては、実装前に必ずベーキング処理を実施願います。

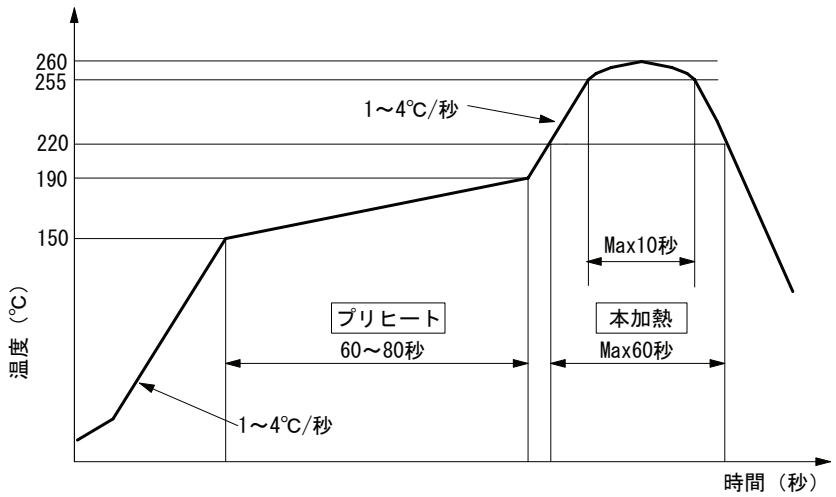
10.2 はんだごてによる標準実装条件

本ICのはんだごてによる標準実装条件は、以下の通りと致しております。
(1) 実装方法: はんだごて(リード部の加熱のみ)
(2) 実装条件: (a)380℃、 5 秒以内
: (b)260℃、10 秒以内

10.3 リフローによる標準実装条件

本ICのリフローによる標準実装条件は、以下の通りと致しております。
(1) 実装方法 : 遠赤外線リフロー
(2) プリヒート条件 : 150～190℃、60～80 秒
(3) リフロー条件 : (a)255～260℃、10 秒以内
(b)220℃以上 、60 秒以内
(4) リフロー回数 : 温度プロファイルの最大温度の範囲内において2 回まで

なお、実装条件における温度につきましては、パッケージ表面温度を基準と致しております。温度プロファイルは耐熱温度の上限を示しており、下図プロファイルの範囲内で実装願います。



PIX132遠赤外線リフロー温度プロファイル

付録 A　クロック周波数換算式

PIX132の入力クロックの標準周波数は 16MHz です。本書では、フィルタ遅延時間やタイマなどは、すべてクロック周波数を16MHz として、値を記述しています。16MHz 以外のクロック周波数を入力する場合には、次のようになります。

(1)フィルタ遅延時間

クロック周波数をf(Hz)、時定数設定値を N とすると、フィルタ遅延時間 T_D(SEC)は、次式で表されます。

$$T_D = \frac{1}{f} \times 16 \times 2^N$$

(2)除去ノイズ幅

クロック周波数をf(Hz)、時定数設定値を N とすると、除去ノイズ幅 T_{NW}(SEC)は、次式で表されます。

$$T_{NW} = \frac{1}{f} \times 14 \times 2^N$$

(3)タイマー値

クロック周波数をf(Hz)、タイマ設定値を N とすると、実際のタイムアウト時間 T_{RT} (SEC)は、次式で表されます。

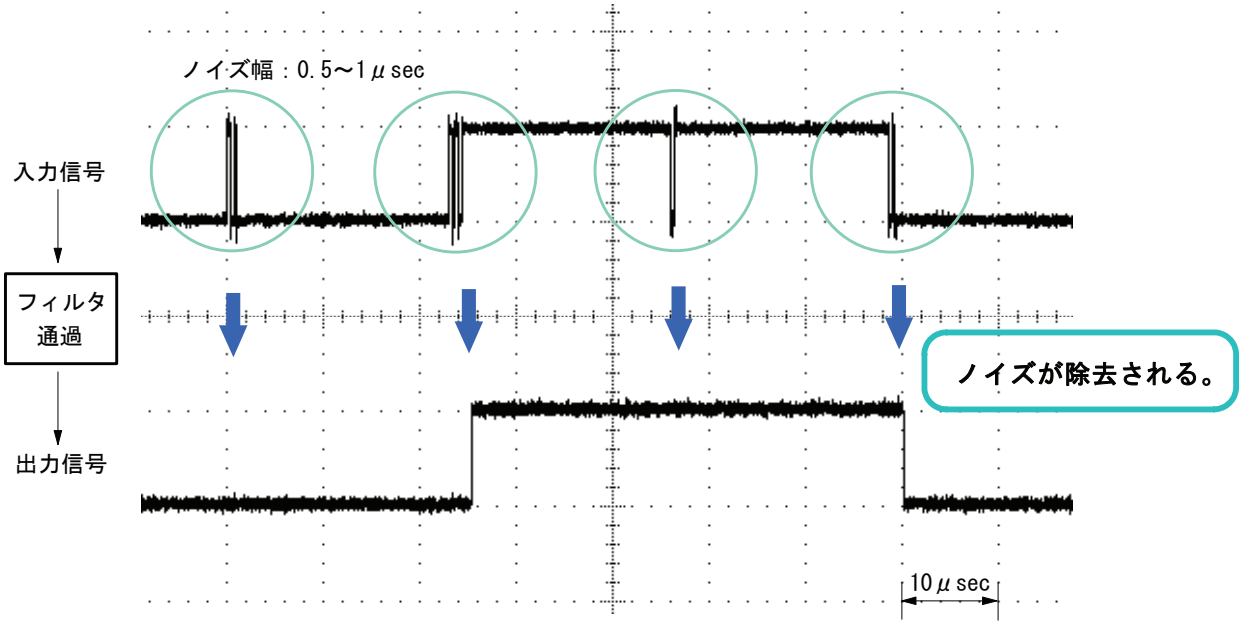
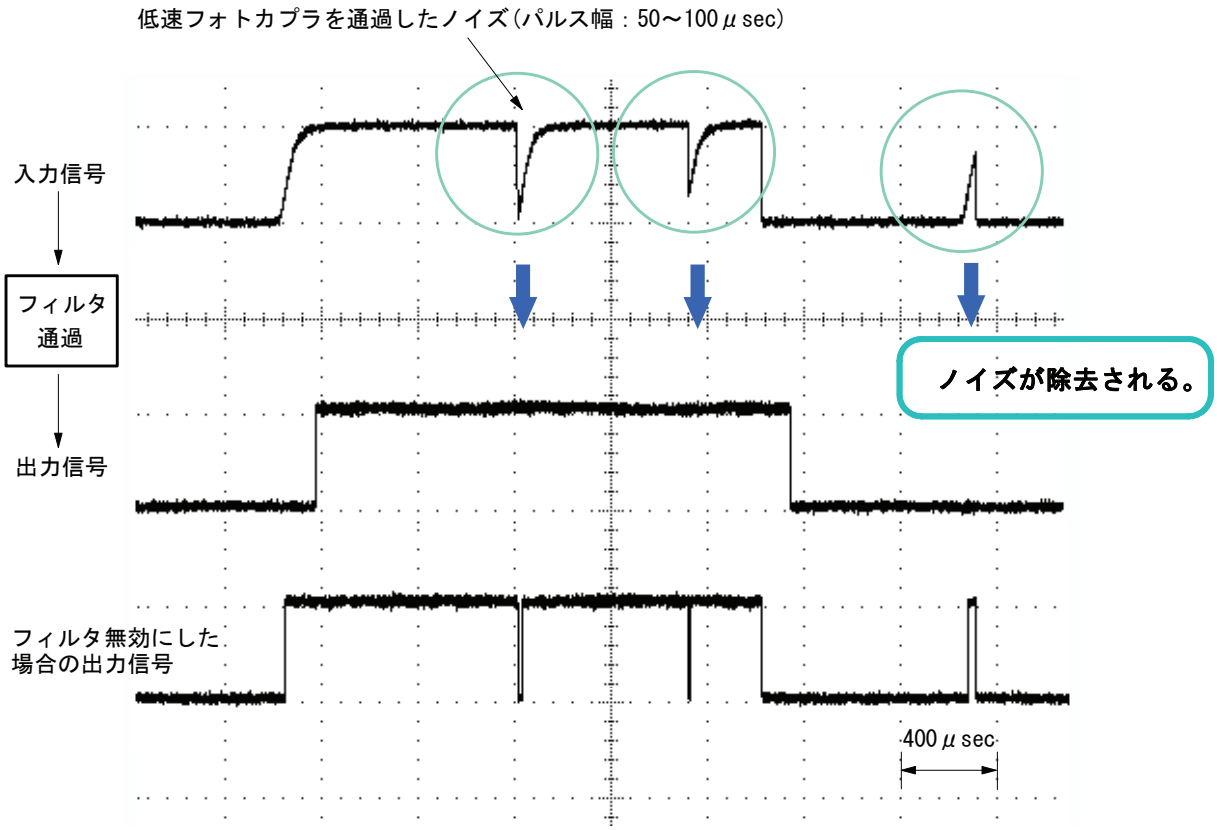
WR3/D7 ＝ 0 の時　　$T_{RT} = \frac{1}{f} \times 16 \times N$

WR3/D7 ＝ 1 の時　　$T_{RT} = \frac{1}{f} \times 16000 \times N$

付録 B　内蔵フィルタのノイズ除去

PIX132 を独立モードで動作させています。ノイズを混入させた入力信号と、内蔵フィルタ通過後の出力信号の波形です。

（1） 時定数設定値＝0 （遅延時間　1μsec）　CLK=16MHz



（2） 時定数設定値＝7 （遅延時間　128μsec）　CLK=16MHz